

บทที่ 6

การออกแบบระบบควบคุมกระแสชดเชยด้วยตัวควบคุมฟuzzyลอจิก

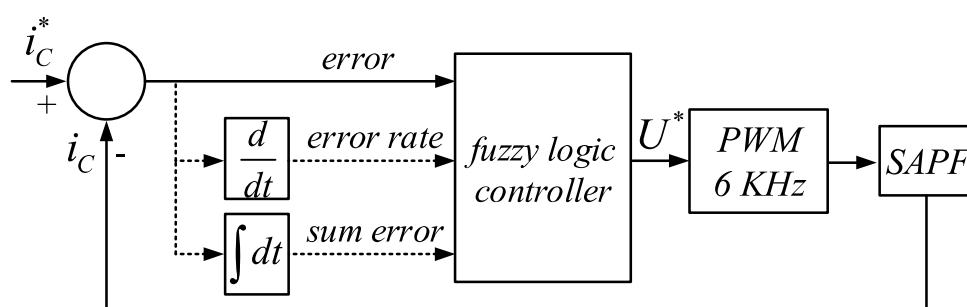
6.1 กล่าวนำ

ปัจจุบันมีการนำฟuzzyลอจิกมาประยุกต์ใช้ในระบบควบคุมอย่างแพร่หลาย เนื่องจากฟuzzyลอจิกมีจุดเด่นหลาย ๆ อย่าง เช่น ไม่ต้องอาศัยแบบจำลองทางคณิตศาสตร์ในการออกแบบ สามารถทำงานในระบบที่มีความซับซ้อนคลุมเคลือได้อย่างมีประสิทธิภาพ รองรับระบบที่มีหลายอินพุตและหลายเอาต์พุต นอกจากนี้ยังมีพฤติกรรมการทำงานที่ไม่เป็นเชิงเส้น (non-linear) ซึ่งมีความเหมาะสมในการนำมาใช้ควบคุมกระแสชดเชยของวงจรกรองกำลังแอกทีฟแบบขนาน ดังนั้นในบทนี้จึงนำเสนอกระบวนการทำงานและการออกแบบระบบควบคุมกระแสชดเชยด้วยตัวควบคุมฟuzzyลอจิก เพื่อเป็นการพัฒนาสมรรถนะในการควบคุมกระแสชดเชยของวงจรกรองกำลังแอกทีฟแบบขนานสำหรับระบบรางไฟฟ้ากระแสสลับให้ดียิ่งขึ้น โดยมีเนื้อหาดังต่อไปนี้ ระบบควบคุมกระแสชดเชยด้วยตัวควบคุมฟuzzyลอจิกจะนำเสนอในหัวข้อที่ 6.2 การทดสอบรูปร่างฟังก์ชันสมาชิกของตัวควบคุมฟuzzyลอจิกสำหรับระบบควบคุมกระแสชดเชยจะนำเสนอในหัวข้อที่ 6.3 การทดสอบจำนวนฟังก์ชันสมาชิกของตัวควบคุมฟuzzyลอจิกสำหรับระบบควบคุมกระแสชดเชยจะนำเสนอในหัวข้อที่ 6.4 การทดสอบการอนุมานฟuzzyของตัวควบคุมฟuzzyลอจิกสำหรับระบบควบคุมกระแสชดเชยจะนำเสนอในหัวข้อที่ 6.5 การออกแบบตัวแปรภาษาและค่าเชิงภาษาจะนำเสนอในหัวข้อที่ 6.6 การออกแบบกฎฟuzzyจะนำเสนอในหัวข้อที่ 6.7 การออกแบบตำแหน่งฟังก์ชันสมาชิกของตัวควบคุมฟuzzyลอจิกจะนำเสนอในหัวข้อที่ 6.8 และการจำลองสถานการณ์การก่อกำจัดฮาร์มอนิกเพื่อทดสอบสมรรถนะการควบคุมกระแสชดเชยของตัวควบคุมฟuzzyลอจิกจะนำเสนอในหัวข้อที่ 6.9

6.2 ระบบควบคุมกระแสชดเชยด้วยตัวควบคุมฟuzzyลอจิก

ระบบควบคุมกระแสชดเชยของวงจรกรองกำลังแอกทีฟแบบขนานด้วยตัวควบคุมฟuzzyลอจิกสามารถแสดงบล็อกไดอะแกรมของระบบควบคุมได้ดังรูปที่ 6.1 จากรูปดังกล่าวอินพุตของตัวควบคุมฟuzzyลอจิกประกอบด้วย ค่าความผิดพลาดระหว่างค่ากระแสอ้างอิงที่ได้จากการคำนวณตรวจจับฮาร์มอนิกด้วยวิธี PQF กับค่ากระแสชดเชยของวงจรกรองกำลังแอกทีฟแบบขนาน (e_i) (อินพุต error) ค่าอัตราการเปลี่ยนแปลงค่าความผิดพลาด ($\frac{de_i}{dt}$) (อินพุต error rate) และค่าผลรวมของค่าความผิดพลาด ($\int e_i dt$) (อินพุต sum error) โดยค่าอินพุต error rate และค่าอินพุต sum error จะถูกนำมาใช้ในการทดสอบเปรียบเทียบอินพุตของตัวควบคุมฟuzzyลอจิกกรณีทีพิจารณาตัวควบคุมฟuzzyลอจิกกรณี 2 อินพุต (สามารถดูรายละเอียดได้จากหัวข้อที่ 6.7) จากนั้นอินพุตดังกล่าวจะถูกส่งผ่านกระบวนการทางฟuzzyลอจิก และได้เอาต์พุตของระบบควบคุมเป็นค่าแรงดันไฟฟ้าอ้างอิง (U^*) โดยค่า

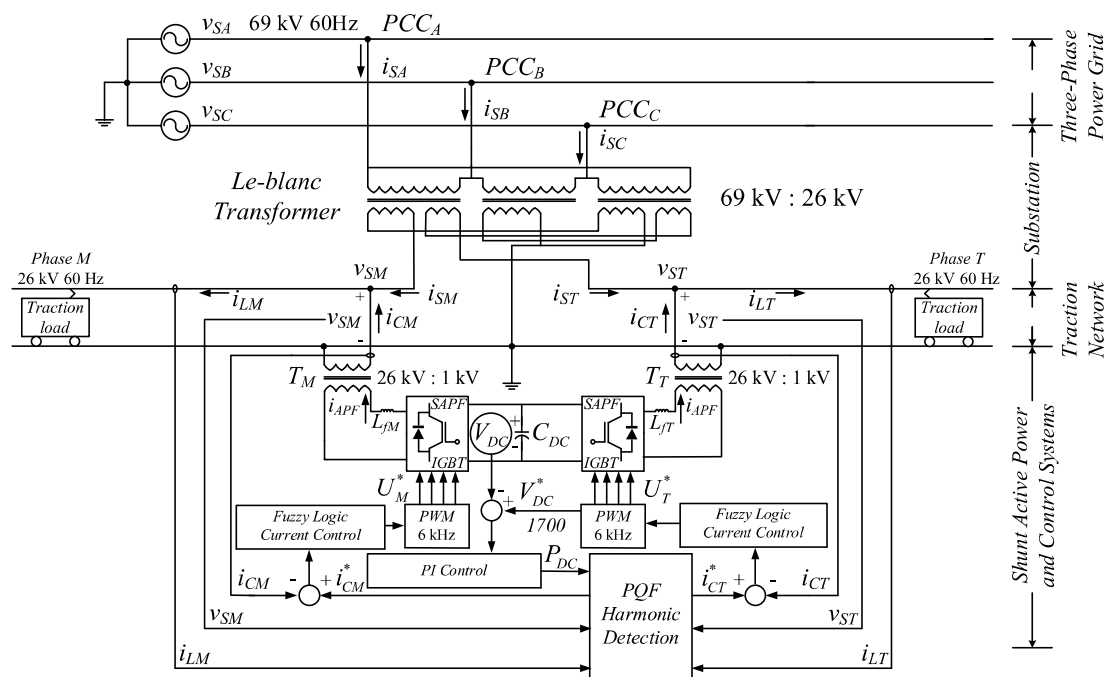
เอาต์พุตดังกล่าวจะถูกนำไปใช้เป็นอินพุตให้กับเทคนิคการสวิตช์แบบพีดับเบิลยูเอ็ม (Pulse Width Modulation : PWM) เพื่อสร้างสัญญาณพัลส์ (pulse) สำหรับควบคุมอุปกรณ์ไอจีบีที (IGBT) ของวงจรรอกำลังแอกทีฟแบบขนานต่อไป



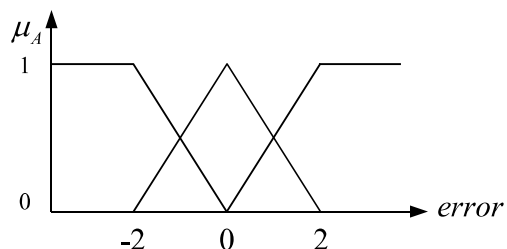
รูปที่ 6.1 ระบบควบคุมกระแสชดเชยของวงจรรอกำลังแอกทีฟแบบขนานด้วยตัวควบคุมฟัซซีลอจิก

6.3 การทดสอบรูปร่างฟังก์ชันสมาชิกของตัวควบคุมฟัซซีลอจิกสำหรับใช้ควบคุมกระแสชดเชย

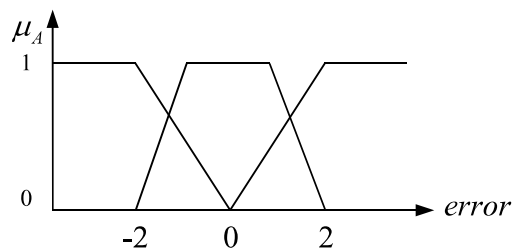
การออกแบบตัวควบคุมฟัซซีลอจิกสำหรับควบคุมกระแสชดเชยของวงจรรอกำลังแอกทีฟแบบขนานสำหรับกำจัดฮาร์มอนิกในระบบรางไฟฟ้ากระแสสลับแบบเฟสรวมดังแสดงในรูปที่ 6.2 จะเริ่มจากการออกแบบรูปร่างฟังก์ชันสมาชิกของอินพุต และเอาต์พุตเป็นอันดับแรก โดยจะพิจารณาทดสอบรูปร่างฟังก์ชันสมาชิกทั้งหมด 4 รูปร่างประกอบไปด้วย ฟังก์ชันสมาชิกรูปสามเหลี่ยม ฟังก์ชันสมาชิกรูปสี่เหลี่ยมคางหมู ฟังก์ชันสมาชิกรูปประฆังคว่ำ และฟังก์ชันสมาชิกรูปเกาส์เซียน โดยกำหนดให้มีลักษณะสมมูลทั้งฝั่งชีกบวกและชีกลบ และกำหนดขอบเขตตำแหน่งฟังก์ชันสมาชิกของอินพุตเท่ากันทุกรูปร่างในช่วง -2 A ถึง 2 A (ประมาณ 2% ของค่ากระแสโหลด) ดังแสดงในรูปที่ 6.3 ในการทดสอบเปรียบเทียบรูปร่างฟังก์ชันสมาชิกของอินพุต จะกำหนดให้โครงสร้างส่วนอื่น ๆ ของตัวควบคุมฟัซซีลอจิกเหมือนกันทั้งหมด คือ อินพุตและเอาต์พุตของตัวควบคุมฟัซซีลอจิกกำหนดใช้ 3 ตัวแปรภาษา และ 3 ค่าเชิงภาษา (อธิบายดังตารางที่ 6.4) โดยขอบเขตตำแหน่งฟังก์ชันสมาชิกของเอาต์พุตกำหนดให้มีค่าเท่ากันในช่วง $-1,700\text{ V}$ ถึง $1,700\text{ V}$ (เท่ากับค่าแรงดันบัสไฟตรง) กฎฟัซซีกำหนดใช้ตามหัวข้อที่ 6.7 (กรณีพิจารณาเฉพาะอินพุต error ที่มี 3 ฟังก์ชันสมาชิก) และใช้การอนุมานแบบค่าสูงสุด-ต่ำสุดของ Mamdani ที่มีการทำดีฟัซซีด้วยวิธีการหาจุดศูนย์ถ่วงหรือวิธี COG ทั้งนี้เพื่อพิจารณาเฉพาะผลของรูปร่างฟังก์ชันสมาชิกที่มีต่อสมรรถนะในการควบคุมกระแสชดเชย โดยผลการทดสอบเปรียบเทียบรูปร่างฟังก์ชันสมาชิกสามารถแสดงได้ดังตารางที่ 6.1



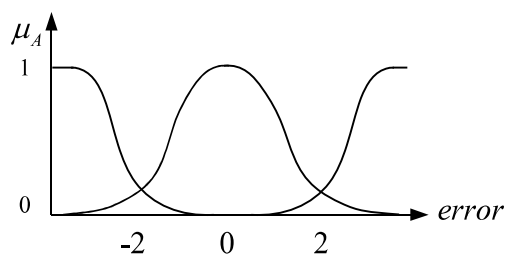
รูปที่ 6.2 ระบบกำจัดฮาร์มอนิกในระบบรางไฟฟ้ากระแสสลับแบบเฟสร่วมด้วยวงจรกรองกำลัง แยกทีฟแบบขนานที่ควบคุมกระแสชดเชยด้วยตัวควบคุมฟัซซีลอจิก



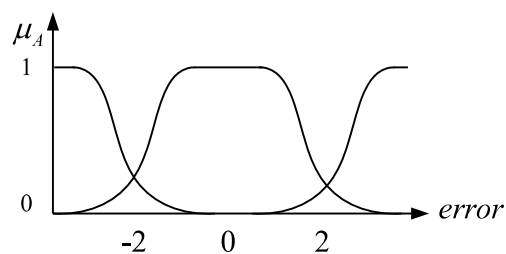
(ก) รูปสามเหลี่ยม



(ข) รูปสี่เหลี่ยมคางหมู



(ค) รูปเกาส์เซียน



(ง) รูปประฆังคว่ำ

รูปที่ 6.3 ฟังก์ชันสมาชิกของอินพุต error

ตารางที่ 6.1 ผลการทดสอบเปรียบเทียบรูปร่างฟังก์ชันสมาชิก

รูปร่างฟังก์ชันสมาชิก	ค่า %THD ของกระแสที่แหล่งจ่ายภายหลังการชดเชย						
	ระบบไฟฟ้ากำลังสองเฟส			ระบบไฟฟ้ากำลังสามเฟส			
	i_{SM}	i_{ST}	เฉลี่ย	i_{SA}	i_{SB}	i_{SC}	เฉลี่ย
ฟังก์ชันสมาชิกรูปสามเหลี่ยม	1.43	1.26	1.35	1.43	1.32	1.29	1.35
ฟังก์ชันสมาชิกรูปสี่เหลี่ยมคางหมู	1.43	1.26	1.35	1.43	1.33	1.29	1.35
ฟังก์ชันสมาชิกรูปเกาส์เซียน	1.55	1.27	1.41	1.55	1.34	1.35	1.41
ฟังก์ชันสมาชิกรูประฆังคว่ำ	1.56	1.28	1.42	1.56	1.35	1.35	1.42

จากผลการทดสอบเปรียบเทียบรูปร่างฟังก์ชันสมาชิกในตารางที่ 6.1 พบว่าการใช้รูปร่างฟังก์ชันสมาชิกรูปสามเหลี่ยม และฟังก์ชันสมาชิกรูปสี่เหลี่ยมคางหมูจะให้ค่าเฉลี่ย %THD ของกระแสที่แหล่งจ่ายภายหลังการชดเชยทั้งที่ระบบไฟฟ้ากำลังสองเฟส และที่ระบบไฟฟ้ากำลังสามเฟส มีค่าน้อยที่สุด โดยมีค่าเท่ากันเท่ากับ 1.35% จากผลการทดสอบดังกล่าวงานวิจัยวิทยานิพนธ์นี้จึงเลือกใช้ตัวควบคุมฟัซซีลอจิกที่มีฟังก์ชันสมาชิกรูปสามเหลี่ยมเนื่องจากรูปร่างฟังก์ชันสมาชิกดังกล่าวสามารถออกแบบตำแหน่งฟังก์ชันสมาชิกได้ง่าย นอกจากนี้ยังมีการเขียนโปรแกรมในส่วนการทำฟัซซี (fuzzification) ที่ซับซ้อนน้อยกว่าเมื่อเปรียบเทียบกับรูปร่างฟังก์ชันสมาชิกรูปแบบอื่น ๆ

6.4 การทดสอบจำนวนฟังก์ชันสมาชิกของตัวควบคุมฟัซซีลอจิกสำหรับใช้ควบคุม

กระแสชดเชย

ในหัวข้อนี้จะนำเสนอการทดสอบเปรียบเทียบจำนวนฟังก์ชันสมาชิกรูปสามเหลี่ยมของตัวควบคุมฟัซซีลอจิก โดยจะทดสอบเปรียบเทียบจำนวนฟังก์ชันสมาชิกรูปสามเหลี่ยมทั้งหมด 3 กรณี ได้แก่ กรณีอินพุตและเอาต์พุตมี 3 ฟังก์ชันสมาชิก (ตัวแปรภาษาและค่าเชิงภาษาแสดงได้ดังตารางที่ 6.4) กรณีอินพุตและเอาต์พุตมี 5 ฟังก์ชันสมาชิก (ตัวแปรภาษาและค่าเชิงภาษาแสดงได้ดังตารางที่ 6.5) และกรณีอินพุตและเอาต์พุตมี 7 ฟังก์ชันสมาชิก (ตัวแปรภาษาและค่าเชิงภาษาแสดงได้ดังตารางที่ 6.6) ซึ่งในการทดสอบเปรียบเทียบจะกำหนดใช้กฎฟัซซีตามหัวข้อที่ 6.7 (กรณีที่พิจารณาเฉพาะอินพุต error ที่มี 3 5 และ 7 ฟังก์ชันสมาชิก) และใช้การอนุมานแบบค่าสูงสุด-ต่ำสุดของ Mamdani ที่มีการทำดีฟัซซีด้วยวิธี COG เหมือนกันทุกกรณี ทั้งนี้เพื่อพิจารณาเฉพาะผลของจำนวนฟังก์ชันสมาชิกที่มีผลต่อสมรรถนะในการควบคุมกระแสชดเชย โดยสามารถแสดงผลการทดสอบเปรียบเทียบจำนวนฟังก์ชันสมาชิกได้ดังตารางที่ 6.2

ตารางที่ 6.2 ผลการทดสอบเปรียบเทียบจำนวนฟังก์ชันสมาชิกกลุ่มสามเหลี่ยม

จำนวนฟังก์ชันสมาชิก	ค่า %THD ของกระแสที่แหล่งจ่ายภายหลังการชดเชย						
	ระบบไฟฟ้ากำลังสองเฟส			ระบบไฟฟ้ากำลังสามเฟส			
	i_{SM}	i_{ST}	เฉลี่ย	i_{SA}	i_{SB}	i_{SC}	เฉลี่ย
3 ฟังก์ชันสมาชิก	1.43	1.26	1.35	1.43	1.32	1.29	1.35
5 ฟังก์ชันสมาชิก	1.43	1.26	1.35	1.43	1.32	1.29	1.35
7 ฟังก์ชันสมาชิก	1.43	1.26	1.35	1.43	1.32	1.29	1.35

จากตารางที่ 6.2 พบว่าทั้ง 3 กรณีจำนวนฟังก์ชันสมาชิกให้ค่า %THD เฉลี่ยของกระแสที่แหล่งจ่ายภายหลังการชดเชยที่ระบบไฟฟ้ากำลังสองเฟส และที่ระบบไฟฟ้ากำลังสามเฟสมีค่าเท่ากันเท่ากับ 1.35% จากผลการทดสอบดังกล่าวในงานวิจัยวิทยานิพนธ์นี้จึงเลือกใช้ตัวควบคุมฟuzzyลอจิกที่มีอินพุต และเอาต์พุตมี 5 ฟังก์ชันสมาชิก เนื่องจากมีความละเอียดในการรับค่าอินพุตที่มากกว่ากรณี 3 ฟังก์ชันสมาชิกเพื่อรองรับในกรณีที่โหลดของระบบแรงไฟฟ้าเกิดการเปลี่ยนแปลง นอกจากนี้ยังมีความซับซ้อนในการออกแบบตัวควบคุมฟuzzyที่น้อยกว่ากรณี 7 ฟังก์ชันสมาชิก

6.5 การทดสอบวิธีการอนุมานฟuzzyของตัวควบคุมฟuzzyลอจิกสำหรับระบบควบคุมกระแสชดเชย

ในหัวข้อนี้จะนำเสนอการทดสอบเปรียบเทียบวิธีการอนุมานฟuzzyของตัวควบคุมฟuzzyลอจิก โดยจะเปรียบเทียบระหว่างวิธีการอนุมานแบบค่าสูงสุด-ต่ำสุดของ Mamdani ที่มีการทำดีฟuzzyด้วยวิธีหาจุดศูนย์ถ่วงหรือวิธี COG กับวิธีการอนุมานแบบ Takagi-Sugeno ที่มีการทำดีฟuzzyด้วยวิธีการหาค่าน้ำหนักเฉลี่ยหรือวิธี WA โดยในการทดสอบเปรียบเทียบจะกำหนดให้ฟังก์ชันสมาชิกของอินพุตเป็นรูปสามเหลี่ยมที่มี 5 ฟังก์ชันสมาชิก รวมถึงมีตัวแปรภาษาและค่าเชิงภาษา 5 ค่าเหมือนกันทั้ง 2 กรณี (อธิบายดังตารางที่ 6.5) และใช้กฎฟuzzyตามหัวข้อที่ 6.7 (กรณีพิจารณาเฉพาะอินพุต error ที่มี 5 ฟังก์ชันสมาชิก) ทั้งนี้เพื่อพิจารณาเฉพาะผลของวิธีการอนุมานฟuzzyที่มีต่อสมรรถนะในการควบคุมกระแสชดเชย

ตารางที่ 6.3 ผลการทดสอบเปรียบเทียบการอนุมานฟัซซี

วิธีการอนุมานฟัซซี	ค่า %THD ของกระแสที่แหล่งจ่ายภายหลังการชดเชย						
	ระบบไฟฟ้ากำลังสองเฟส			ระบบไฟฟ้ากำลังสามเฟส			
	i_{SM}	i_{ST}	เฉลี่ย	i_{SA}	i_{SB}	i_{SC}	เฉลี่ย
วิธี Mamdani	1.43	1.26	1.35	1.43	1.32	1.29	1.35
วิธี Takagi-Sugeno	1.43	1.26	1.35	1.43	1.32	1.29	1.35

จากผลการทดสอบการอนุมานฟัซซีดังตารางที่ 6.3 จากตารางดังกล่าวพบว่าทั้ง 2 กรณีวิธีการอนุมานฟัซซีให้ค่า %THD เฉลี่ยของกระแสที่แหล่งจ่ายภายหลังการชดเชยที่ระบบไฟฟ้ากำลังสองเฟส และที่ระบบไฟฟ้ากำลังสามเฟสมีค่าเท่ากันเท่ากับ 1.35% จากผลการทดสอบดังกล่าวในงานวิจัยวิทยานิพนธ์นี้จึงเลือกวิธีการอนุมานแบบ Takagi-Sugeno เนื่องจากวิธีดังกล่าวมีกระบวนการทางฟัซซีลอจิกที่ซับซ้อนน้อยกว่าแบบ Mamdani นอกจากนี้การทำให้ฟัซซีด้วยวิธี WA ยังมีขั้นตอนการคำนวณที่ซับซ้อนกว่าเมื่อเปรียบเทียบกับวิธี COG ซึ่งง่ายต่อการโปรแกรมระบบควบคุมกระแสชดเชยด้วยตัวควบคุมฟัซซีลอจิก

จากผลการทดสอบเปรียบเทียบในหัวข้อที่ 6.3 6.4 และ 6.5 งานวิจัยวิทยานิพนธ์นี้จึงเลือกใช้ตัวควบคุมฟัซซีลอจิกที่มีรูปร่างฟังก์ชันสมาชิกรูปสามเหลี่ยมที่มีจำนวน 5 ฟังก์ชันสมาชิกที่ใช้การอนุมานฟัซซีแบบ Takagi-Sugeno ในการควบคุมกระแสชดเชยของวงจรกรังก์แอ็กทีฟแบบขนานสำหรับระบบแรงไฟฟ้ากระแสสลับแบบเฟสรวมต่อไป โดยรายละเอียดการออกแบบตัวแปรภาษาและค่าเชิงภาษา การออกแบบกฎฟัซซี และการออกแบบตำแหน่งฟังก์ชันสมาชิกของตัวควบคุมฟัซซีลอจิกดังกล่าวสามารถดูได้จากหัวข้อที่ 6.6 ถึง 6.8 ตามลำดับ

6.6 การออกแบบตัวแปรภาษาและค่าเชิงภาษา

การออกแบบตัวแปรภาษาและค่าเชิงภาษาของตัวควบคุมฟัซซีลอจิกสำหรับระบบควบคุมกระแสชดเชยกรณีที่ใช้จำนวน 3 5 และ 7 ฟังก์ชันสมาชิกสามารถแสดงได้ดังตารางที่ 6.4 ถึง 6.6 ตามลำดับ โดยในกรณีที่ใช้จำนวน 3 และ 7 ฟังก์ชันสมาชิกจะพิจารณาเฉพาะอินพุต error (e_i) ซึ่งคำนวณได้จากผลต่างระหว่างกระแสอ้างอิง (i_C^*) และค่ากระแสชดเชย (i_C) ดังแสดงในสมการที่ (6.1) ส่วนกรณีที่ใช้จำนวน 5 ฟังก์ชันสมาชิกจะพิจารณาใช้อินพุตทั้งหมด 3 แบบ คือ อินพุต error อินพุต error rate และอินพุต sum error และสำหรับเอาต์พุตของตัวควบคุมฟัซซีลอจิกจะกำหนดให้เป็นค่าแรงดันอ้างอิง (U^*) (เอาต์พุต voltage) เหมือนกันทุกกรณีจำนวนฟังก์ชันสมาชิก

$$e_i = i_C^* - i_C \quad (6.1)$$

ตารางที่ 6.4 ตัวแปรภาษาและค่าเชิงภาษากรณี 3 ฟังก์ชันสมาชิก

ค่าของระบบ	ตัวแปรภาษาและความหมาย		ค่าเชิงภาษาและความหมาย	
	ตัวแปรภาษา	ความหมาย	ค่าเชิงภาษา	ความหมาย
อินพุต	error (e_i)	ผลต่างระหว่าง กระแสอ้างอิง และกระแสชดเชย ($i_C^* - i_C$)	Neg (negative)	$i_C^* < i_C$ (น้อยกว่า)
			Zero	$i_C^* = i_C$ (เท่ากับ)
			Pos (positive)	$i_C^* > i_C$ (มากกว่า)
เอาต์พุต	Voltage (U^*)	แรงดันอ้างอิง	Dec (decrease)	ลดลง
			Cons (constant)	คงที่
			Inc (increase)	เพิ่มขึ้น

หมายเหตุ : กรณี 3 ฟังก์ชันสมาชิกใช้สำหรับการทดสอบรูปร่างฟังก์ชันสมาชิกในหัวข้อที่ 6.2 และการทดสอบจำนวนฟังก์ชันสมาชิกในหัวข้อที่ 6.3 เท่านั้น

ตารางที่ 6.5 ตัวแปรภาษาและค่าเชิงภาษากรณี 5 ฟังก์ชันสมาชิก

ค่าของระบบ	ตัวแปรภาษาและความหมาย		ค่าเชิงภาษาและความหมาย	
	ตัวแปรภาษา	ความหมาย	ค่าเชิงภาษา	ความหมาย
อินพุต	error (e_i)	ผลต่างระหว่างกระแสอ้างอิงและกระแสชดเชย ($i_c^* - i_c$)	Very_Neg (very negative)	$i_c^* \ll i_c$ (น้อยกว่ามาก)
			Neg (negative)	$i_c^* < i_c$ (น้อยกว่า)
			Zero	$i_c^* = i_c$ (เท่ากับ)
			Pos (positive)	$i_c^* > i_c$ (มากกว่า)
			Very_Pos (very positive)	$i_c^* \gg i_c$ (มากกว่ามาก)
	error rate ($\frac{de_i}{dt}$)	อัตราการเปลี่ยนแปลงของค่าความผิดพลาด	Neg (negative)	ลบ
			Zero	ศูนย์
			Pos (positive)	บวก
	sum error ($\int e_i dt$)	ผลรวมของค่าความผิดพลาด	Neg (negative)	ลบ
			Zero	ศูนย์
			Pos (positive)	บวก
เอาต์พุต	Voltage (U^*)	แรงดันอ้างอิง	Very_Dec (very decrease)	ลดลงมาก
			Dec (decrease)	ลดลง
			Cons (constant)	คงที่
			Inc (increase)	เพิ่มขึ้น
			Very_Inc (very increase)	เพิ่มขึ้นมาก

หมายเหตุ : กรณีใช้อินพุต error rate และอินพุต sum error ใช้สำหรับการทดสอบเปรียบเทียบกับอินพุตของตัวควบคุมฟuzzyลอจิกในหัวข้อที่ 6.9 เท่านั้น

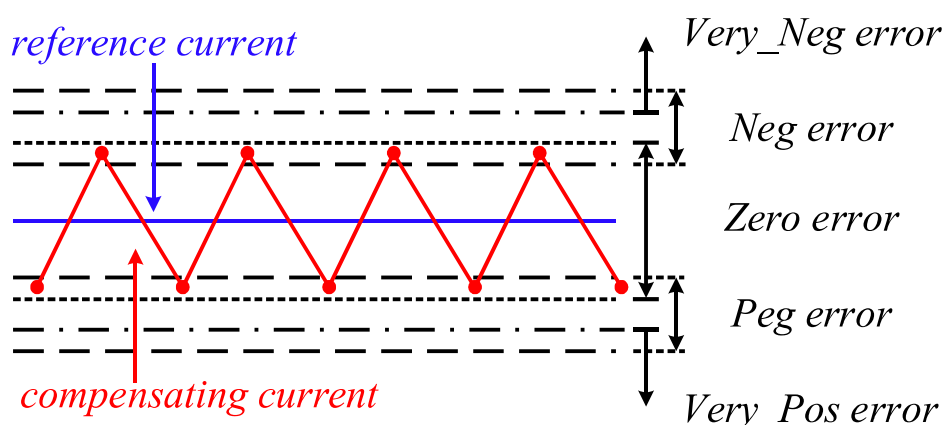
ตารางที่ 6.6 ตัวแปรภาษาและค่าเชิงภาษากรณี 7 ฟังก์ชันสมาชิก

ค่าของระบบ	ตัวแปรภาษาและความหมาย		ค่าเชิงภาษาและความหมาย	
	ตัวแปรภาษา	ความหมาย	ค่าเชิงภาษา	ความหมาย
อินพุต	error (e_i)	ผลต่างระหว่างกระแส อ้างอิงและกระแส ชดเชย ($i_c^* - i_c$)	Super_Neg (super negative)	$i_c^* \lll i_c$ (น้อยกว่ามาก ๆ)
			Very_Neg (very negative)	$i_c^* \ll i_c$ (น้อยกว่ามาก)
			Neg (negative)	$i_c^* < i_c$ (น้อยกว่า)
			Zero	$i_c^* = i_c$ (เท่ากับ)
			Pos (positive)	$i_c^* > i_c$ (มากกว่า)
			Very_Pos (very positive)	$i_c^* \gg i_c$ (มากกว่ามาก)
			Super_Pos (super positive)	$i_c^* \ggg i_c$ (มากกว่ามาก ๆ)
เอาต์พุต	Voltage (U^*)	แรงดันอ้างอิง	Super_Dec (super decrease)	ลดลงมาก ๆ
			Very_Dec (very decrease)	ลดลงมาก
			Dec (decrease)	ลดลง
			Cons (constant)	คงที่
			Inc (increase)	เพิ่มขึ้น
			Very_Inc (very increase)	เพิ่มขึ้นมาก
			Super_Inc (super increase)	เพิ่มขึ้นมาก ๆ

หมายเหตุ : กรณี 7 ฟังก์ชันสมาชิกใช้สำหรับการทดสอบจำนวนฟังก์ชันสมาชิกในหัวข้อที่ 6.3 เท่านั้น

6.7 การออกแบบกฎฟuzzy

การออกแบบกฎฟuzzyของระบบควบคุมกระแสชดเชยด้วยตัวควบคุมฟuzzyลอจิกมีวัตถุประสงค์เพื่อควบคุมกระแสชดเชย (compensating current) ของวงจรกรองกำลังแอกทีฟแบบขนานให้มีลักษณะคล้อยตาม หรือมีการติดตาม (tracking) กระแสอ้างอิง (reference current) ที่ได้จากการคำนวณตรวจจับฮาร์มอนิกด้วยวิธี PQF ดังแสดงในรูปที่ 6.4 โดยการออกแบบกฎฟuzzyจะแบ่งการอธิบายออกเป็น 3 ส่วนตามกรณีอินพุตของตัวควบคุมฟuzzyลอจิกที่พิจารณาดังนี้



รูปที่ 6.4 ลักษณะกระแสชดเชยสำหรับการออกแบบกฎฟuzzy

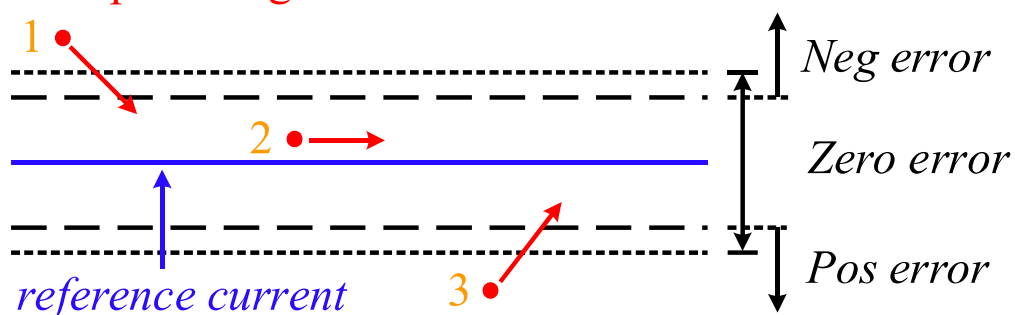
6.7.1 การออกแบบกฎฟuzzyกรณีพิจารณาใช้เฉพาะอินพุต error

ในหัวข้อนี้จะอธิบายการออกแบบกฎฟuzzyกรณีพิจารณาเฉพาะอินพุต error ที่มีจำนวน 3 5 และ 7 ฟังก์ชันสมาชิกซึ่งใช้สำหรับการทดสอบรูปร่างฟังก์ชันสมาชิก จำนวนฟังก์ชันสมาชิก และการอนุมานฟuzzyในหัวข้อที่ 6.3 ถึง 6.5 ตามลำดับ โดยกฎฟuzzyของแต่ละกรณีจำนวนฟังก์ชันสามกีดังกล่าวสามารถอธิบายได้ดังต่อไปนี้ โดยตัวเลขที่แสดงบนรูปภาพหมายถึงเลขข้อของกฎฟuzzyที่ใช้ควบคุมกระแสชดเชย

1) กรณีพิจารณาเฉพาะอินพุต error ที่มี 3 ฟังก์ชันสมาชิกสามารถแสดงลักษณะการควบคุมกระแสชดเชยของตัวควบคุมฟuzzyลอจิกกรณีดังกล่าวได้ดังรูปที่ 6.5 และสามารถออกแบบกฎฟuzzyสำหรับควบคุมกระแสชดเชยได้จำนวน 3 ข้อดังนี้

1. IF error = Neg THEN voltage = Dec
2. IF error = Zero THEN voltage = Cons
3. IF error = Pos THEN voltage = Inc

- compensating current

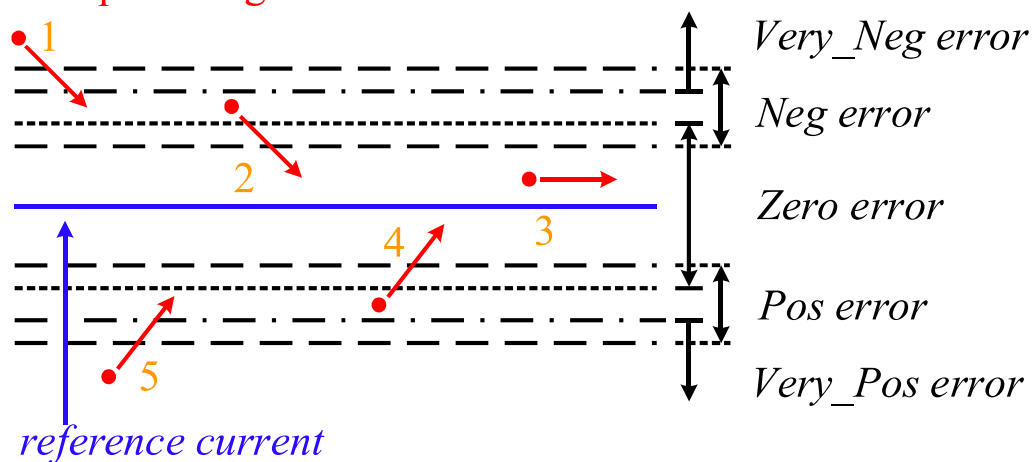


รูปที่ 6.5 ลักษณะการควบคุมกระแสชดเชยของตัวควบคุมพีชชีลอจิกกรณีใช้เฉพาะอินพุต error ที่มี 3 ฟังก์ชันสมาชิก

2) กรณีพิจารณาเฉพาะอินพุต error ที่มี 5 ฟังก์ชันสมาชิกสามารถแสดงลักษณะการควบคุมกระแสชดเชยของตัวควบคุมพีชชีลอจิกกรณีดังกล่าวได้ดังรูปที่ 6.6 และสามารถออกแบบกฎพีชชีสำหรับควบคุมกระแสชดเชยได้จำนวน 5 ข้อดังนี้

1. IF error = Very_Neg THEN voltage = Very_Dec
2. IF error = Neg THEN voltage = Dec
3. IF error = Zero THEN voltage = Cons
4. IF error = Pos THEN voltage = Inc
5. IF error = Very_Pos THEN voltage = Very_Inc

• compensating current

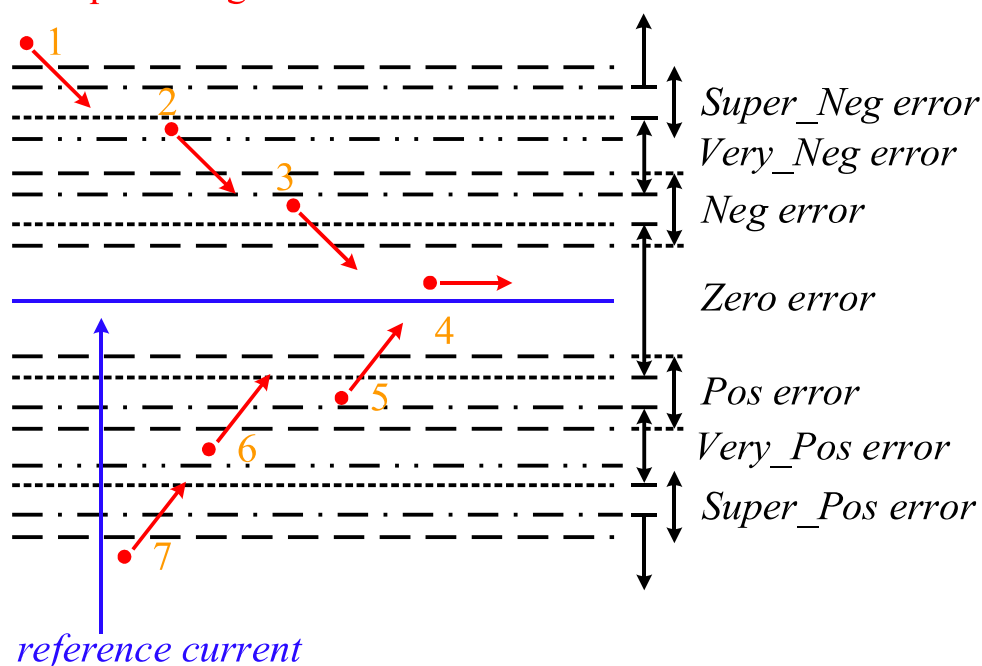


รูปที่ 6.6 ลักษณะการควบคุมกระแสชดเชยของตัวควบคุมฟuzzyลอจิกกรณีใช้เฉพาะอินพุต error ที่มี 5 ฟังก์ชันสมาชิก

3) กรณีพิจารณาเฉพาะอินพุต error ที่มี 7 ฟังก์ชันสมาชิกสามารถแสดงลักษณะการควบคุมกระแสชดเชยของตัวควบคุมฟuzzyลอจิกกรณีดังกล่าวได้ดังรูปที่ 6.7 และสามารถออกแบบกฎฟuzzyสำหรับควบคุมกระแสชดเชยได้จำนวน 7 ข้อดังนี้

1. IF error = Super_Neg THEN voltage = Super_Dec
2. IF error = Very_Neg THEN voltage = Very_Dec
3. IF error = Neg THEN voltage = Dec
4. IF error = Zero THEN voltage = Cons
5. IF error = Pos THEN voltage = Inc
6. IF error = Very_Pos THEN voltage = Very_Inc
7. IF error = Super_Pos THEN voltage = Super_Inc

• compensating current



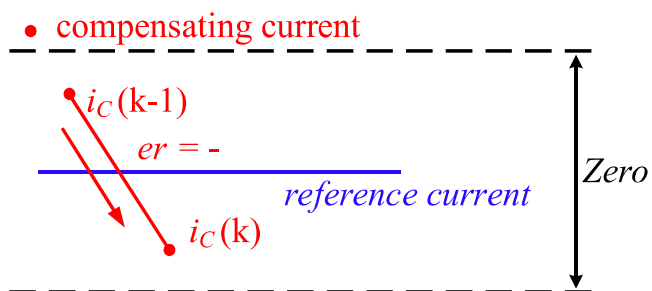
รูปที่ 6.7 ลักษณะการควบคุมกระแสชดเชยของตัวควบคุมฟลักซ์ล่อจิกกรณีใช้เฉพาะอินพุต error ที่มี 7 ฟังก์ชันสมาชิก

จากการออกแบบกฎฟuzzyกรณีพิจารณาเฉพาะอินพุต error ที่มีจำนวน 3 5 และ 7 ฟังก์ชันสมาชิกที่กล่าวมาในข้างต้นจะเห็นว่าทั้ง 3 กรณีฟังก์ชันสมาชิกจะมีกฎฟuzzyที่มีลักษณะการควบคุมกระแสชดเชยแบบเดียวกัน คือ ในกรณีค่าอินพุต error มีค่าเป็นลบ (มีค่าเชิงภาษาเป็น “Neg”, “Very_Neg” หรือ “Super_Neg”) จะมีการกำหนดค่าเอาต์พุต voltage ให้มีค่าลดลงตามระดับ (มีค่าเชิงภาษาเป็น “Dec”, “Very_Dec” หรือ “Super_Dec”) เพื่อให้กระแสชดเชยมีค่าลดลง ในกรณีค่าอินพุต error มีค่าเป็นศูนย์ (มีค่าเชิงภาษาเป็น “Zero”) จะมีการกำหนดค่าเอาต์พุต voltage ให้มีค่าคงที่ (มีค่าเชิงภาษาเป็น “Cons”) เพื่อให้กระแสชดเชยมีค่าคงที่ และในกรณีค่าอินพุต error มีค่าเป็นบวก (มีค่าเชิงภาษาเป็น “Pos”, “Very_Pos” หรือ “Super_Pos”) จะมีการกำหนดค่าเอาต์พุต voltage ให้มีค่าเพิ่มขึ้นตามระดับ (มีค่าเชิงภาษาเป็น “Inc”, “Very_Inc” หรือ “Super_Inc”) เพื่อให้กระแสชดเชยมีค่าเพิ่มขึ้น ซึ่งการควบคุมกระแสชดเชยในลักษณะดังกล่าวจะควบคุมให้กระแสชดเชยมีค่าลู่เข้าสู่ขอบเขตของ Zero error ส่งผลให้กระแสชดเชยมีลักษณะคล้อยตามกับกระแสอ้างอิงตามวัตถุประสงค์ของการออกแบบกฎฟuzzy

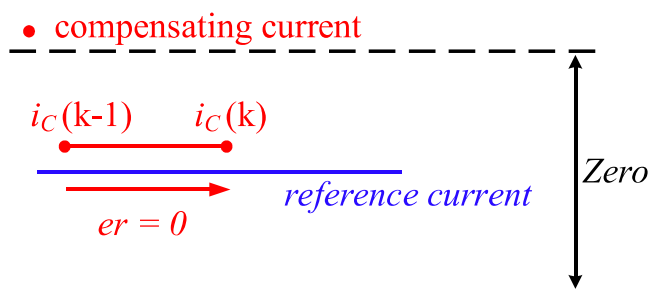
6.7.2 การออกแบบกฎฟัซซีกรณีพิจารณาใช้เฉพาะอินพุต error และ error rate

ในหัวข้อนี้จะอธิบายการออกแบบกฎฟัซซีในกรณีที่พิจารณาใช้อินพุต error (5 ฟังก์ชันสมาชิก) ร่วมกับอินพุต error rate (3 ฟังก์ชันสมาชิก) (กรณีใช้อินพุต error และ error rate) ซึ่งมีการออกแบบกฎฟัซซีสำหรับการควบคุมกระแสชดเชยเช่นเดียวกันกับกรณีพิจารณาเฉพาะอินพุต error ที่มีจำนวน 5 ฟังก์ชันสมาชิก แต่จะมีการพิจารณาเพิ่มค่าอินพุต error rate ร่วมด้วยในกรณีค่าอินพุต error มีค่าเป็นศูนย์ (มีค่าเชิงภาษาเป็น “Zero”) เพื่อควบคุมบังคับให้กระแสชดเชยที่อยู่ในขอบเขตของ Zero error ให้เกาะตามกับกระแสอ้างอิงในลักษณะการข้ามศูนย์ (zero-crossing) โดยค่าของอินพุต error rate คือ อัตราการเปลี่ยนแปลงของกระแสชดเชยจากค่ากระแสชดเชยจุดก่อนหน้า 1 ช่วงเวลาชักตัวอย่าง ($i_c(k-1)$) มายังค่ากระแสชดเชยจุดปัจจุบัน ($i_c(k)$) ตามการคำนวณดังสมการที่ (6.2) ซึ่งบ่งบอกถึงทิศทางของกระแสชดเชย โดยสามารถแสดงลักษณะของกระแสชดเชยในกรณีที่อินพุต error rate มีค่าเป็นลบ (มีค่าเชิงภาษาเป็น “Neg”) มีค่าเป็นศูนย์ (มีค่าเชิงภาษาเป็น “Zero”) และมีค่าเป็นบวก (มีค่าเชิงภาษาเป็น “Pos”) ได้ดังรูปที่ 6.8

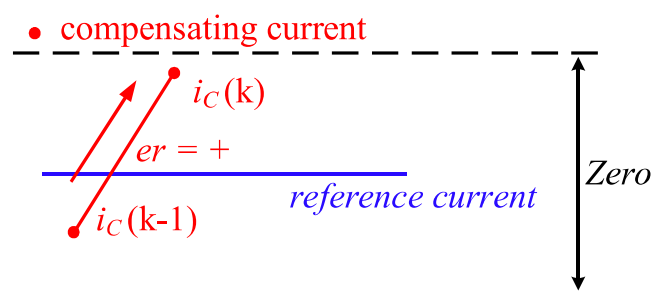
$$er = \frac{di_c}{dt} \approx \frac{i_c(k) - i_c(k-1)}{t(k) - t(k-1)} \quad (6.2)$$



(ก) อินพุต error rate มีค่าเป็นลบ



(ข) อินพุต error rate มีค่าเป็นศูนย์



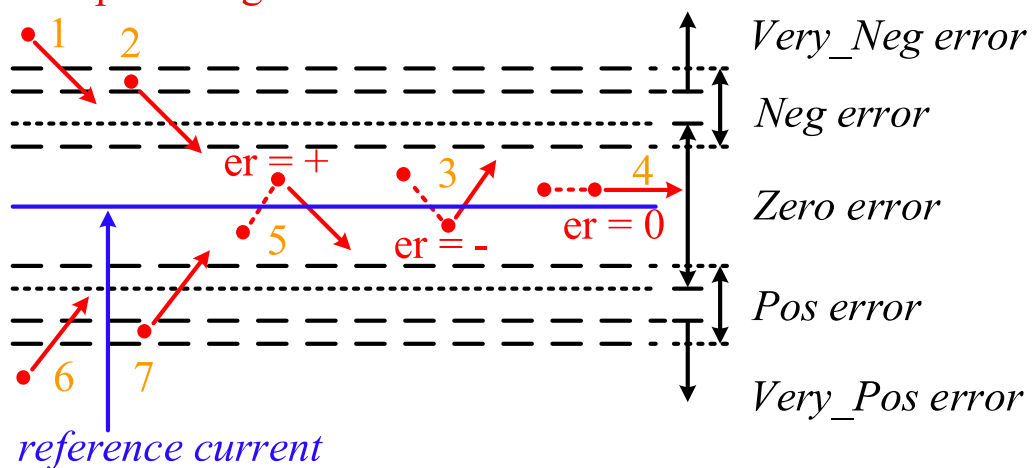
(ค) อินพุต error rate มีค่าเป็นบวก

รูปที่ 6.8 ลักษณะอินพุต error rate

สำหรับกรณีที่พิจารณาใช้อินพุต error และ error rate สามารถแสดงลักษณะการควบคุมกระแสชดเชยของตัวควบคุมพีชชีลอจิกกรณีดังกล่าวได้ดังรูปที่ 6.9 และสามารถออกแบบกฎพีชชีสำหรับควบคุมกระแสชดเชยได้ 7 ข้อดังนี้ โดยตัวเลขที่แสดงบนรูปภาพหมายถึงเลขข้อของกฎพีชชีที่ใช้ควบคุมกระแสชดเชย

1. IF error = Very_Neg THEN voltage = Very_Dec
2. IF error = Neg THEN voltage = Dec
3. IF error = Zero AND error rate = Neg THEN voltage = Inc
4. IF error = Zero AND error rate = Zero THEN voltage = Cons
5. IF error = Zero AND error rate = Pos THEN voltage = Dec
6. IF error = Pos AND THEN voltage = Inc
7. IF error = Very_Pos AND THEN voltage = Very_Inc

• compensating current



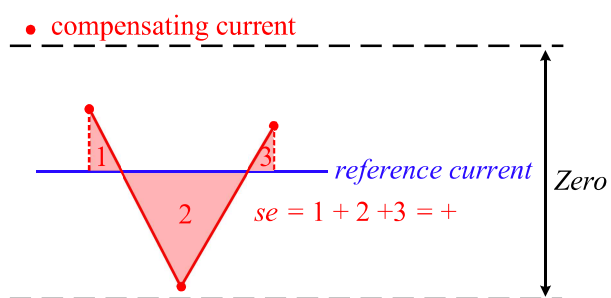
รูปที่ 6.9 ลักษณะการควบคุมกระแสชดเชยของตัวควบคุมพีชชีลอจิกกรณีใช้อินพุต error ร่วมกับอินพุต error rate

จากการออกแบบกฎฟัซซีกรณีนี้ที่พิจารณาใช้อินพุต error และ error rate จะทำการออกแบบกฎฟัซซีที่มีลักษณะการควบคุมกระแสชดเชยเช่นเดียวกันกับกรณีพิจารณาเฉพาะอินพุต error ที่มีจำนวน 5 ฟังก์ชันสมาชิก คือ ในกรณีค่าอินพุต error มีค่าเป็นลบ (มีค่าเชิงภาษาเป็น “Neg” หรือ “Very_Neg”) จะมีการกำหนดค่าเอาต์พุต voltage ให้มีค่าลดลงตามระดับ (มีค่าเชิงภาษาเป็น “Dec” หรือ “Very_Dec”) เพื่อให้กระแสชดเชยมีค่าลดลง และในกรณีค่าอินพุต error มีค่าเป็นบวก (มีค่าเชิงภาษาเป็น “Pos” หรือ “Very_Pos”) จะมีการกำหนดค่าเอาต์พุต voltage ให้มีค่าเพิ่มขึ้นตามระดับ (มีค่าเชิงภาษาเป็น “Inc” หรือ “Very_Inc”) เพื่อให้กระแสชดเชยมีค่าเพิ่มขึ้น ซึ่งการควบคุมกระแสชดเชยในลักษณะดังกล่าวจะควบคุมให้กระแสชดเชยมีค่าเข้าสู่ขอบเขตของ Zero error สำหรับในกรณีค่าอินพุต error มีค่าเป็นศูนย์ (มีค่าเชิงภาษาเป็น “Zero”) จะมีการกำหนดค่าเอาต์พุต voltage ขึ้นอยู่กับค่าอินพุต error rate คือ ในกรณีค่าอินพุต error rate มีค่าเป็นลบ (มีค่าเชิงภาษาเป็น “Neg”) จะมีการกำหนดค่าเอาต์พุต voltage ให้มีค่าเพิ่มขึ้น (มีค่าเชิงภาษาเป็น “Inc”) เพื่อให้กระแสชดเชยมีค่าเพิ่มขึ้นข้ามค่ากระแสอ้างอิง ในกรณีค่าอินพุต error rate มีค่าเป็นศูนย์ (มีค่าเชิงภาษาเป็น “Zero”) จะมีการกำหนดค่าเอาต์พุต voltage ให้มีค่าคงที่ (มีค่าเชิงภาษาเป็น “Cons”) เพื่อให้กระแสชดเชยมีค่าคงที่ และในกรณีค่าอินพุต error rate มีค่าเป็นบวก (มีค่าเชิงภาษาเป็น “Pos”) จะมีการกำหนดค่าเอาต์พุต voltage ให้มีค่าลดลง (มีค่าเชิงภาษาเป็น “Dec”) เพื่อให้กระแสชดเชยมีค่าลดลงข้ามค่ากระแสอ้างอิง ซึ่งการควบคุมกระแสชดเชยในลักษณะดังกล่าวจะควบคุมให้กระแสชดเชยภายใต้ขอบเขตของ Zero error ให้เกาะตามกับกระแสอ้างอิงในลักษณะการข้ามศูนย์

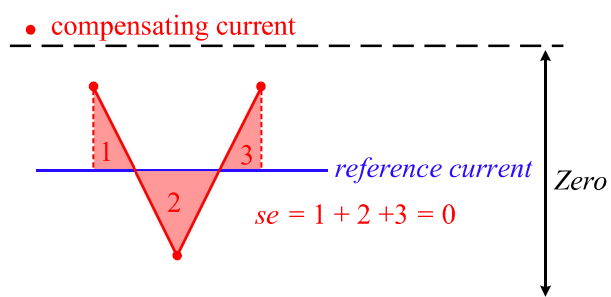
6.7.3 การออกแบบกฎฟัซซีกรณีพิจารณาใช้เฉพาะอินพุต error และ sum error

ในหัวข้อนี้จะอธิบายการออกแบบกฎฟัซซีในกรณีที่พิจารณาใช้อินพุต error (5 ฟังก์ชันสมาชิก) ร่วมกับอินพุต sum error (3 ฟังก์ชันสมาชิก) (กรณีใช้อินพุต error และ sum error) ซึ่งมีการออกแบบกฎฟัซซีสำหรับการควบคุมกระแสชดเชยเช่นเดียวกันกับกรณีใช้อินพุต error และ error rate แต่จะมีการพิจารณาค่าอินพุต sum error ร่วมด้วยในกรณีค่าอินพุต error มีค่าเป็นศูนย์ (มีค่าเชิงภาษาเป็น “Zero”) แทนการใช้อินพุต error rate เพื่อควบคุมกระแสชดเชยที่อยู่ในขอบเขตของ Zero error ให้เกาะตามกับกระแสอ้างอิงในลักษณะการข้ามศูนย์ โดยค่าของอินพุต sum error คือ ผลรวมค่าอินพุต error ซึ่งบ่งบอกถึงผลรวมพื้นที่ใต้กราฟระหว่างกระแสชดเชยและกระแสอ้างอิงดังสมการที่ (6.3) ซึ่งมีการกำหนดให้รีเซ็ตค่าเป็นศูนย์ทุก ๆ ครึ่งคาบ โดยสามารถแสดงลักษณะของกระแสชดเชยในกรณีที่อินพุต sum error มีค่าเป็นลบ (มีค่าเชิงภาษาเป็น “Neg”) มีค่าเป็นศูนย์ (มีค่าเชิงภาษาเป็น “Zero”) และมีค่าเป็นบวก (มีค่าเชิงภาษาเป็น “Pos”) ได้ดังรูปที่ 6.10

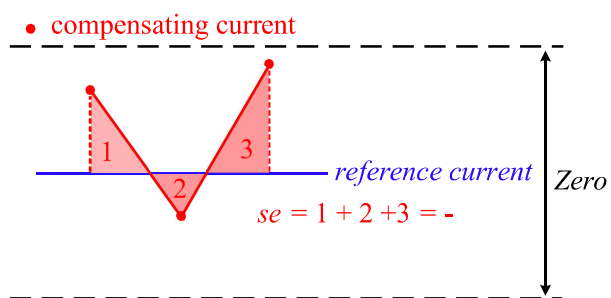
$$se = \int (e) dt \quad (6.3)$$



(ก) อินพุต sum error มีค่าเป็นลบ



(ข) อินพุต sum error มีค่าเป็นศูนย์



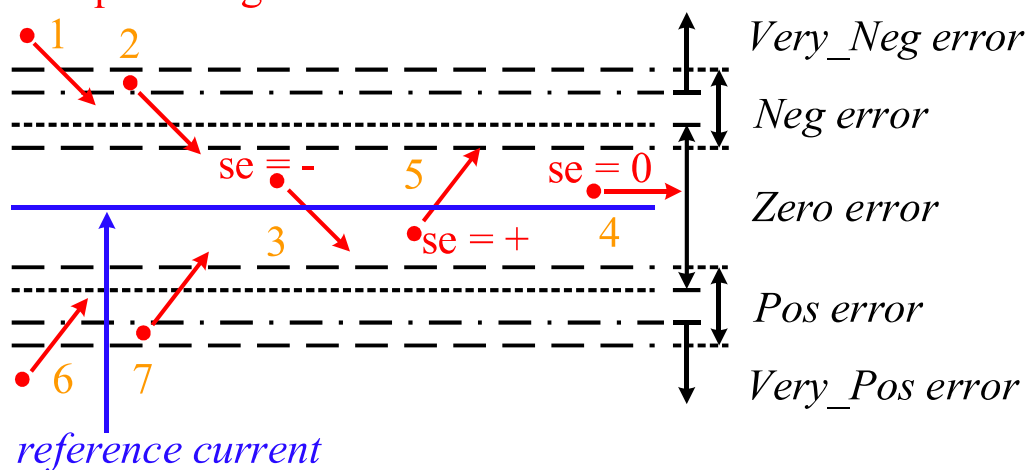
(ค) อินพุต sum error มีค่าเป็นบวก

รูปที่ 6.10 ลักษณะอินพุต sum error

สำหรับกรณีที่พิจารณาใช้อินพุต error และ sum error สามารถแสดงลักษณะการควบคุมกระแสชดเชยของตัวควบคุมพีชชีลอจิกกรณีดังกล่าวได้ดังรูปที่ 6.11 และสามารถออกแบบกฎพีชชีสำหรับควบคุมกระแสชดเชยได้ 7 ข้อดังนี้ โดยตัวเลขที่แสดงบนรูปภาพหมายถึงเลขข้อของกฎพีชชีที่ใช้ควบคุมกระแสชดเชย

1. IF error = Very_Neg THEN voltage = Very_Dec
2. IF error = Neg THEN voltage = Dec
3. IF error = Zero AND sum error = Neg THEN voltage = Dec
4. IF error = Zero AND sum error = Zero THEN voltage = Cons
5. IF error = Zero AND sum error = Pos THEN voltage = Inc
6. IF error = Pos AND THEN voltage = Inc
7. IF error = Very_Pos AND THEN voltage = Very_Inc

• compensating current

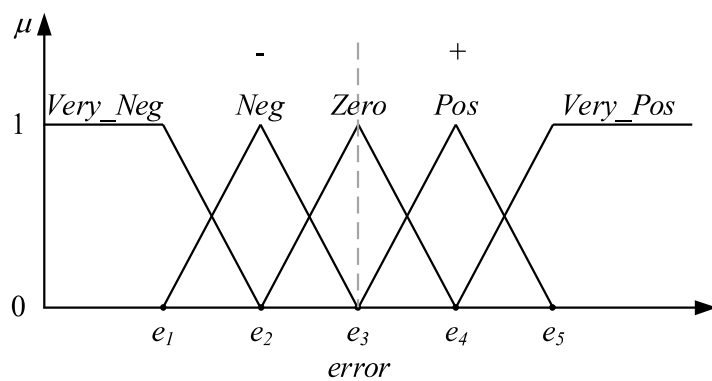


รูปที่ 6.11 ลักษณะการควบคุมกระแสชดเชยของตัวควบคุมพีชชีลอจิกกรณีใช้อินพุต error ร่วมกับอินพุต sum error

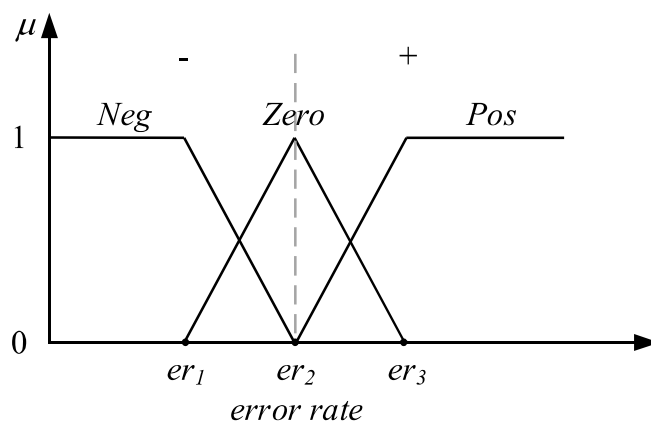
จากการออกแบบกฎฟัซซีกรณีที่พิจารณาใช้อินพุต error และ sum error จะทำการออกแบบกฎฟัซซีที่มีลักษณะการควบคุมกระแสดเซยเช่นเดียวกันกับกรณีพิจารณาเฉพาะอินพุต error ที่มีจำนวน 5 ฟังก์ชันสมาชิก คือ ในกรณีค่าอินพุต error มีค่าเป็นลบ (มีค่าเชิงภาษาเป็น “Neg” หรือ “Very_Neg”) จะมีการกำหนดค่าเอาต์พุต voltage ให้มีค่าลดลงตามระดับ (มีค่าเชิงภาษาเป็น “Dec” หรือ “Very_Dec”) เพื่อให้กระแสดเซยมีค่าลดลง และในกรณีค่าอินพุต error มีค่าเป็นบวก (มีค่าเชิงภาษาเป็น “Pos” หรือ “Very_Pos”) จะมีการกำหนดค่าเอาต์พุต voltage ให้มีค่าเพิ่มขึ้นตามระดับ (มีค่าเชิงภาษาเป็น “Inc” หรือ “Very_Inc”) เพื่อให้กระแสดเซยมีค่าเพิ่มขึ้น ซึ่งการควบคุมกระแสดเซย ในลักษณะดังกล่าวจะควบคุมให้กระแสดเซยมีค่าเข้าสู่ขอบเขตของ Zero error สำหรับในกรณีค่าอินพุต error มีค่าเป็นศูนย์ (มีค่าเชิงภาษาเป็น “Zero”) จะมีการกำหนดค่าเอาต์พุต voltage ขึ้นอยู่กับค่าอินพุต sum error คือ ในกรณีค่าอินพุต sum error มีค่าเป็นลบ (มีค่าเชิงภาษาเป็น “Neg”) จะมีการกำหนดค่าเอาต์พุต voltage ให้มีค่าลดลง (มีค่าเชิงภาษาเป็น “Dec”) เพื่อให้กระแสดเซยมีค่าลดลงข้ามกระแสดอ้างอิง ในกรณีค่าอินพุต sum error มีค่าเป็นศูนย์ (มีค่าเชิงภาษาเป็น “Zero”) จะมีการกำหนดค่าเอาต์พุต voltage ให้มีค่าคงที่ (มีค่าเชิงภาษาเป็น “Cons”) เพื่อให้กระแสดเซยมีค่าคงที่ และในกรณีค่าอินพุต sum error มีค่าเป็นบวก (มีค่าเชิงภาษาเป็น “Pos”) จะมีการกำหนดค่าเอาต์พุต voltage ให้มีค่าเพิ่มขึ้น (มีค่าเชิงภาษาเป็น “Inc”) เพื่อให้กระแสดเซยมีค่าเพิ่มขึ้นข้ามกระแสดอ้างอิง ซึ่งการควบคุมกระแสดเซยในลักษณะดังกล่าวจะควบคุมให้กระแสดเซยภายใต้ขอบเขตของ Zero error ให้เกาะตามกับกระแสดอ้างอิงในลักษณะการข้ามศูนย์เช่นกัน

6.8 การออกแบบตำแหน่งฟังก์ชันสมาชิกของตัวควบคุมฟัซซีลอจิก

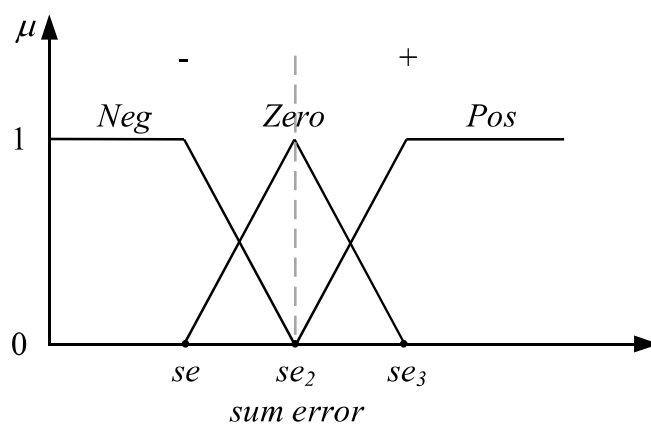
ในหัวข้อนี้จะนำเสนอการออกแบบตำแหน่งฟังก์ชันสมาชิกของอินพุต error (e_1 ถึง e_5) อินพุต error rate (er_1 ถึง er_3) อินพุต sum error (se_1 ถึง se_3) และเอาต์พุต voltage (V_1 ถึง V_5) ของระบบควบคุมกระแสดเซยด้วยตัวควบคุมฟัซซีลอจิก โดยการออกแบบจะกำหนดใช้ฟังก์ชันสมาชิกอินพุตและเอาต์พุตที่มีความสมดุลทั้งซีกบวกและซีกลบซึ่งสามารถแสดงตำแหน่งฟังก์ชันสมาชิกของอินพุตและเอาต์พุตดังกล่าวได้ดังรูป 6.12 ถึง 6.15 ตามลำดับ



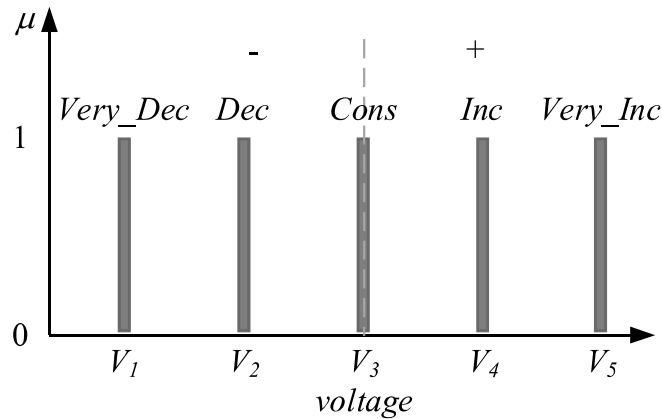
รูปที่ 6.12 ตำแหน่ง e_1 ถึง e_5 ของฟังก์ชันสมาชิกของอินพุต error



รูปที่ 6.13 ตำแหน่ง er_1 ถึง er_3 ของฟังก์ชันสมาชิกของอินพุต error rate



รูปที่ 6.14 ตำแหน่ง se_1 ถึง se_3 ของฟังก์ชันสมาชิกของอินพุต sum error



รูปที่ 6.15 ตำแหน่ง V_1 ถึง V_5 ของฟังก์ชันสมาชิกของเอาต์พุต voltage

สำหรับการออกแบบฟังก์ชันสมาชิกของอินพุตจะเริ่มพิจารณาการออกแบบตำแหน่งฟังก์ชันสมาชิกของอินพุต error ก่อน โดยอาศัยสมการค่าแรงดันตกคร่อมตัวเหนี่ยวนำ (v_L) ของวงจรกรองกำลังแอกทีฟแบบขนานดังสมการที่ (6.4) จากสมการดังกล่าวจะสามารถแสดงการหาค่าอัตราการเปลี่ยนแปลงของกระแสที่ไหลผ่านตัวเหนี่ยวนำของวงจรกรองกำลังแอกทีฟแบบขนานได้ดังสมการที่ (6.5)

$$v_L = L_f \frac{di_{APF}}{dt} \quad (6.4)$$

$$\frac{di_{APF}}{dt} = \frac{v_L}{L_f} = \frac{v_{APF} - v_s}{L_f} \quad (6.5)$$

โดยที่ $\frac{di_{APF}}{dt}$ คือ อัตราการเปลี่ยนแปลงกระแสของวงจรกรองกำลังแอกทีฟแบบขนาน

v_{APF} คือ แรงดันเอาต์พุตของวงจรกรองกำลังแอกทีฟแบบขนาน

v_s คือ แรงดันที่แหล่งจ่ายของระบบไฟฟ้ากำลังสองเฟสฝั่งแรงต่ำของหม้อแปลงเชิงเส้นหนึ่งเฟส (T_M, T_T)

จากสมการที่ (6.5) เมื่อทำการประมาณการคำนวณด้วยวิธีไฟไนต์ดิฟเฟอเรนซ์ (finite difference) แบบถอยหลัง (backward) จะสามารถแสดงได้ดังสมการที่ (6.6) โดยที่ $k = 1, 2, 3, \dots$

$$\frac{di_{APF}}{dt} \approx \frac{\Delta i_{APF}}{\Delta t} = \frac{i_{APF}(k) - i_{APF}(k-1)}{\Delta t} = \frac{v_{APF}(k) - v_s(k)}{L_f} \quad (6.6)$$

จากสมการที่ (6.6) สามารถจัดสมการให้อยู่ในรูปของ $i_{APF}(k) - i_{APF}(k-1)$ ได้ดังสมการที่ (6.7) เมื่อ Δt คือ ช่วงเวลาในการซิกตัวอย่างในการคำนวณ (sampling time)

$$i_{APF}(k) - i_{APF}(k-1) = \left(\frac{v_{APF} - v_s}{L_f} \right) \times \Delta t \quad (6.7)$$

เนื่องจากที่ระบบไฟฟ้ากำลังสองเฟสมีการใช้หม้อแปลงเชิงเส้นหนึ่งเฟส (T_M, T_T) ในการลดทอนระดับแรงดันดังแสดงในรูปที่ 6.1 ดังนั้นจึงจำเป็นต้องพิจารณาผลจากการใช้หม้อแปลงดังกล่าวในการออกแบบตำแหน่งฟังก์ชันสมาชิกด้วย โดยสามารถแสดงสมการการหาค่ากระแสไฟฟ้าด้านฝั่งแรงสูงของหม้อแปลงดังกล่าวจากสมการอัตราส่วนของหม้อแปลงไฟฟ้าได้ดังสมการที่ (6.8)

$$i_H = \frac{v_L}{v_H} \times i_L \quad (6.8)$$

โดยที่ i_H คือ กระแสไฟฟ้าฝั่งแรงสูงของหม้อแปลง

i_L คือ กระแสไฟฟ้าฝั่งแรงต่ำของหม้อแปลง

v_H คือ แรงดันไฟฟ้าฝั่งแรงสูงของหม้อแปลง

v_L คือ แรงดันไฟฟ้าฝั่งแรงต่ำของหม้อแปลง

จากสมการที่ (6.8) เมื่อกำหนดให้กระแสฝั่งแรงสูง คือ กระแสชดเชย (i_C) และกระแสฝั่งแรงต่ำ คือ กระแสเอาต์พุตของวงจรกรองกำลังแอกทีฟแบบขนาน (i_{APF}) จะสามารถเขียนสมการใหม่ได้ดังสมการที่ (6.9)

$$i_C(k) = \frac{v_L}{v_H} \times i_{APF}(k) \quad (6.9)$$

จากสมการที่ (6.9) เมื่อพิจารณาค่าในอดีตจะพิจารณาเป็นตำแหน่งที่ $k-1$ จะสามารถเขียนสมการได้ดังสมการที่ (6.10)

$$i_C(k-1) = \frac{v_L}{v_H} \times i_{APF}(k-1) \quad (6.10)$$

จากนั้นเมื่อนำสมการที่ (6.9) ลบด้วยสมการที่ (6.10) จะแสดงได้ดังสมการที่ (6.11)

$$i_C(k) - i_C(k-1) = \left(\frac{v_L}{v_H} \right) \times (i_{APF}(k) - i_{APF}(k-1)) \quad (6.11)$$

จากนั้นเมื่อแทนค่า $i_{APF}(k) - i_{APF}(k-1)$ ในสมการที่ (6.7) ลงในสมการที่ (6.11) จะสามารถแสดงได้ดังสมการที่ (6.12)

$$i_C(k) - i_C(k-1) = \left(\frac{v_L}{v_H} \right) \times \left(\frac{v_{APF} - v_s}{L_f} \right) \times \Delta t \quad (6.12)$$

จากสมการที่ (6.12) เมื่อพิจารณา $i_C(k) - i_C(k-1)$ เป็นค่าประมาณของขอบเขตสูงสุดของค่าความผิดพลาด ($e_{\max}$) ของฟังก์ชันสมาชิกอินพุต error โดยกำหนดให้ v_s มีค่าเท่ากับ 0 V และ v_{APF} มีค่าเท่ากับ mV_{DC} โดยที่ m คือ ค่ามอดูเลชันอินเดกซ์ (modulation index) จะสามารถแสดงได้ดังสมการที่ (6.13)

$$e_{\max} = \left(\frac{v_L}{v_H} \right) \times \left(\frac{mV_{DC}}{L_f} \right) \times \Delta t \quad (6.13)$$

จากสมการที่ (6.13) เมื่อกำหนดให้ V_{DC} มีค่าเท่ากับ 1,700 V v_L มีค่าเท่ากับ 1,000 V v_H มีค่าเท่ากับ 26,000 V L_f มีค่าเท่ากับ 0.15 mH m มีค่าเท่ากับ 1 และ Δt มีค่าเท่ากับ

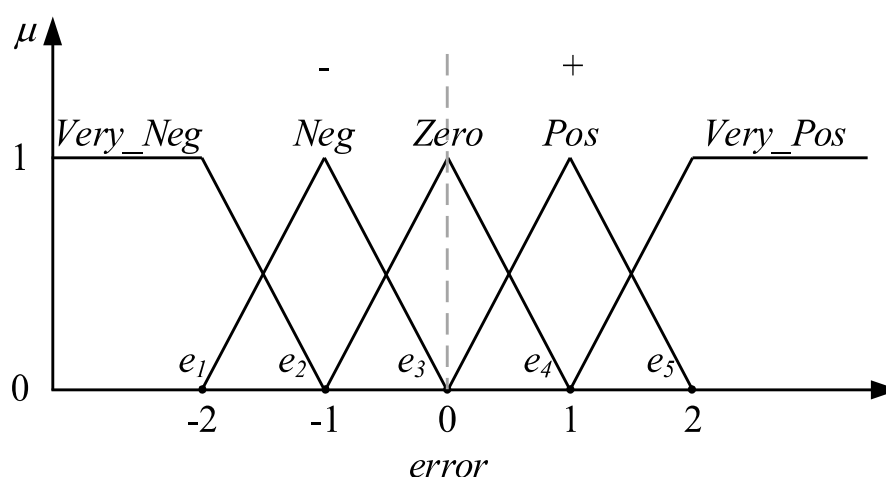
0.00001 s จะสามารถคำนวณค่า $e_{\max}$ ได้เท่ากับ 4.36 A โดยสามารถแสดงรายละเอียดการคำนวณได้ดังนี้

$$e_{\max} = \left(\frac{v_L}{v_H} \right) \times \left(\frac{mv_{DC} - v_s}{L_f} \right) \times \Delta t = \left(\frac{1,000}{26,000} \right) \times \left(\frac{1 \times 1,700}{0.15 \times 10^{-3}} \right) \times 10^{-5} = 4.36 \text{ A}$$

การออกแบบค่าตำแหน่งฟังก์ชันสมาชิก e_1 ถึง e_5 ของอินพุต error ดังรูปที่ 6.16 จะทำการออกแบบฟังก์ชันสมาชิกในรูปร่างสมดุโดยใช้สมการออกแบบดังตารางที่ 6.7 จากตารางดังกล่าวเมื่อกำหนดให้ตำแหน่ง e_1 และ e_5 มีค่าเท่ากับ -2 และ 2 ตามลำดับ (กำหนดให้มีค่าไม่เกินค่า $e_{\max}$) จะสามารถคำนวณค่าที่ตำแหน่ง e_2 e_3 และ e_5 มีค่าเท่ากับ -1 0 และ 1 ตามลำดับ และสามารถแสดงค่าตำแหน่งฟังก์ชันสมาชิกของอินพุต error ที่ออกแบบได้ดังรูปที่ 6.16

ตารางที่ 6.7 การออกแบบค่าตำแหน่งฟังก์ชันสมาชิกของอินพุต error

ตำแหน่ง	e_1	e_2	e_3	e_4	e_5
สมการออกแบบ	$\geq -e_{\max}$	$\frac{e_1}{2}$	0	$\frac{e_5}{2}$	$\leq e_{\max}$
ผลการออกแบบ	-2	-1	0	1	2

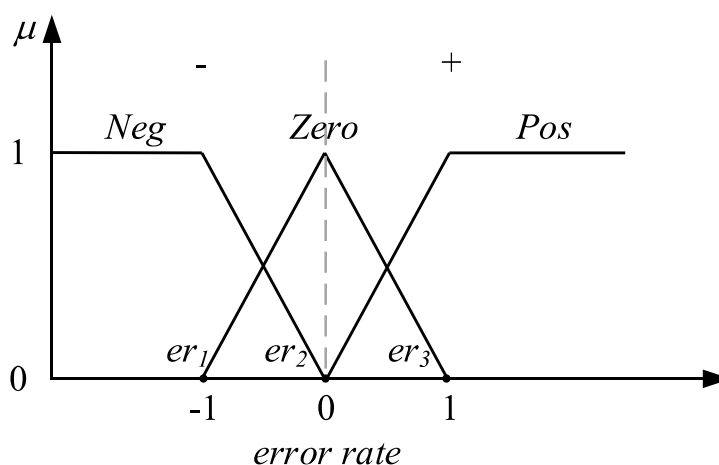


รูปที่ 6.16 ค่าแต่ละตำแหน่งของฟังก์ชันสมาชิกของอินพุต error

การออกแบบค่าตำแหน่งฟังก์ชันสมาชิก er_1 ถึง er_3 ของอินพุต error rate ดังรูปที่ 6.17 จะกำหนดให้ออกแบบฟังก์ชันสมาชิกในรูปร่างสมดุโดยใช้สมการในการออกแบบดังตารางที่ 6.8 เนื่องจากอินพุตดังกล่าวใช้การพิจารณาค่าเป็นค่า “Pos” (ค่าบวก) ค่า “Zero” (ศูนย์) และค่า “Neg” (ค่าลบ) ซึ่งเป็นการพิจารณาในลักษณะเดียวกับฟังก์ชันสมาชิก “Zero” ของอินพุต error ดังนั้นจึงกำหนดตำแหน่งฟังก์ชันสมาชิก er_1 er_2 และ er_3 ให้มีค่าเท่ากับตำแหน่ง e_2 e_3 และ e_4 ซึ่งมีค่าเท่ากับ -1 0 และ 1 ตามลำดับ โดยสามารถแสดงค่าตำแหน่งฟังก์ชันสมาชิกของอินพุต error rate ที่ออกแบบได้ดังรูปที่ 6.17

ตารางที่ 6.8 การออกแบบค่าตำแหน่งฟังก์ชันสมาชิกของอินพุต error rate

ตำแหน่ง	er_1	er_2	er_3
สมการออกแบบ	e_3	e_4	e_5
ผลการออกแบบ	-1	0	1

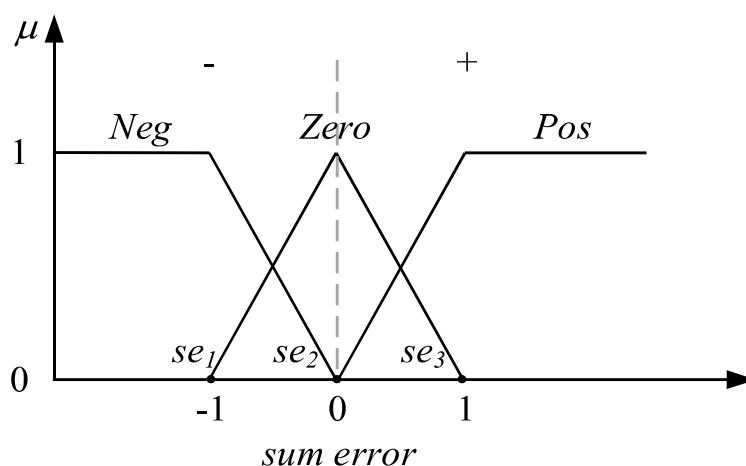


รูปที่ 6.17 ค่าแต่ละตำแหน่งของฟังก์ชันสมาชิกของอินพุต error rate

การออกแบบค่าตำแหน่งฟังก์ชันสมาชิก se_1 ถึง se_3 ของอินพุต sum error ดังรูปที่ 6.18 จะกำหนดออกแบบฟังก์ชันสมาชิกในรูปร่างสมดุโดยใช้สมการในการออกแบบดังตารางที่ 6.9 เนื่องจากอินพุตดังกล่าวใช้การพิจารณาค่าเป็นค่า “Pos” (ค่าบวก) ค่า “Zero” (ศูนย์) และค่า “Neg” (ค่าลบ) เช่นเดียวกับอินพุต error rate จึงกำหนดให้ค่าที่ตำแหน่ง se_1 se_2 และ se_3 มีค่าเท่ากับตำแหน่ง e_2 e_3 และ e_4 ซึ่งมีค่าเท่ากับ -1 0 และ 1 ตามลำดับ เช่นเดียวกับอินพุต error rate โดยสามารถแสดงค่าตำแหน่งฟังก์ชันสมาชิกของอินพุต sum error ที่ออกแบบได้ดังรูปที่ 6.18

ตารางที่ 6.9 การออกแบบค่าตำแหน่งฟังก์ชันสมาชิกของอินพุต sum error

ตำแหน่ง	se_1	se_2	se_3
สมการออกแบบ	e_3	e_4	e_5
ผลการออกแบบ	-1	0	1

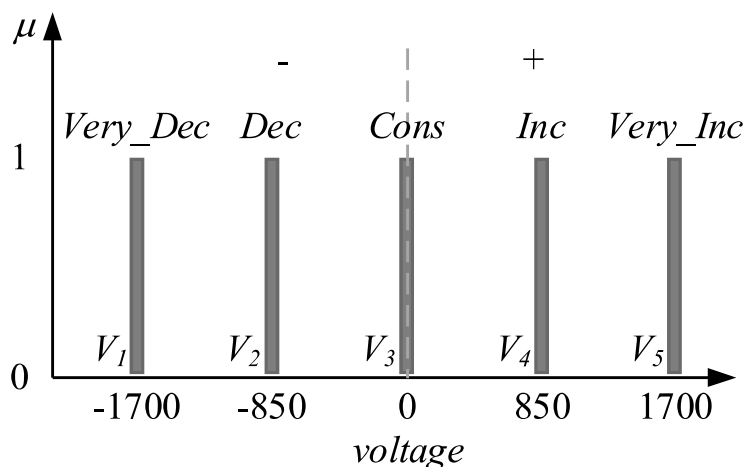


รูปที่ 6.18 ค่าแต่ละตำแหน่งของฟังก์ชันสมาชิกของอินพุต sum error

การออกแบบค่าตำแหน่งฟังก์ชันสมาชิก V_1 ถึง V_5 ของเอาต์พุต voltage ดังรูปที่ 6.19 จะออกแบบฟังก์ชันสมาชิกในรูปร่างสมดุโดยใช้สมการในการออกแบบดังตารางที่ 6.10 จากตารางดังกล่าวเมื่อกำหนดให้ค่ามอดูเลชันอินเดกซ์ หรือค่า m มีค่าเท่ากับ 1 ตำแหน่ง V_1 และ V_5 จะมีค่าเท่ากับ -1,700 และ 1,700 ตามลำดับ และจะสามารถคำนวณค่าที่ตำแหน่ง V_2 V_3 และ V_4 ได้เท่ากับ -850 0 และ 850 ตามลำดับ โดยสามารถแสดงค่าตำแหน่งฟังก์ชันสมาชิกของเอาต์พุต voltage ที่ออกแบบได้ดังรูปที่ 6.19

ตารางที่ 6.10 การออกแบบค่าตำแหน่งฟังก์ชันสมาชิกของเอาต์พุต voltage

ตำแหน่ง	V_1	V_2	V_3	V_4	V_5
สมการออกแบบ	$-mV_{DC}$	$\frac{-V_1}{2}$	0	$\frac{V_5}{2}$	mV_{DC}
ผลการออกแบบ	-1700	-850	0	850	1700

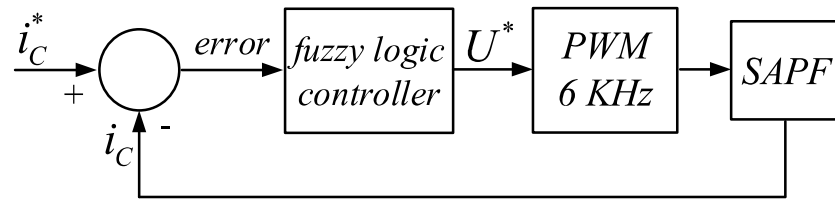


รูปที่ 6.19 ค่าแต่ละตำแหน่งของฟังก์ชันสมาชิกของเอาต์พุต voltage

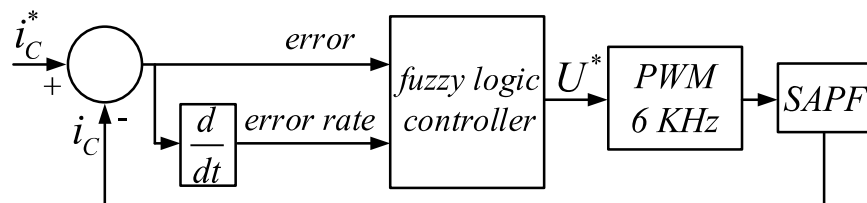
6.9 การจำลองสถานการณ์การกำจัดฮาร์โมนิกเพื่อทดสอบสมรรถนะการควบคุม กระแสชดเชยของตัวควบคุมพีชชีลอจิก

ในหัวข้อนี้จะนำเสนอการทดสอบตัวควบคุมพีชชีลอจิกสำหรับใช้ควบคุมกระแสชดเชยที่ได้ทำการออกแบบไว้ 3 กรณี ตามการพิจารณาอินพุต คือ กรณีพิจารณาเฉพาะอินพุต error กรณีใช้อินพุต error และ error rate และกรณีใช้อินพุต error และ sum error ซึ่งสามารถแสดงบล็อกไดอะแกรมของระบบควบคุมกระแสชดเชยดังกล่าวได้ดังรูปที่ 6.20 ถึง 6.22 ตามลำดับ

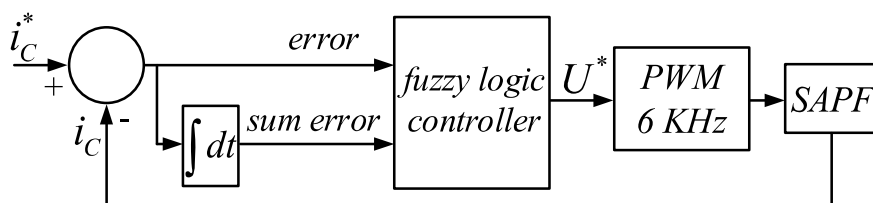
จากการจำลองสถานการณ์การกำจัดฮาร์โมนิกเพื่อทดสอบสมรรถนะของระบบควบคุมกระแสชดเชยด้วยตัวควบคุมพีชชีลอจิกในระบบรางไฟฟ้ากระแสสลับแบบเฟสรวมดังแสดงในรูปที่ 6.2 จะสามารถแสดงผลการเปรียบเทียบรูปสัญญาณของกระแสชดเชย (i_c) ที่มีการติดตาม (tracking) กระแสอ้างอิง (i_c^*) ของกรณีพิจารณาเฉพาะอินพุต error กรณีใช้อินพุต error ร่วมกับ error rate และกรณีใช้อินพุต error ร่วมกับ sum error ได้ดังรูปที่ 6.23 ถึง 6.25 ตามลำดับ (แสดงผลเฉพาะของเฟส M) สำหรับผลสรุปการเปรียบเทียบค่า %THD ของกระแสที่แหล่งจ่ายภายหลังการชดเชยของทั้ง 3 กรณีได้ดังตารางที่ 6.11



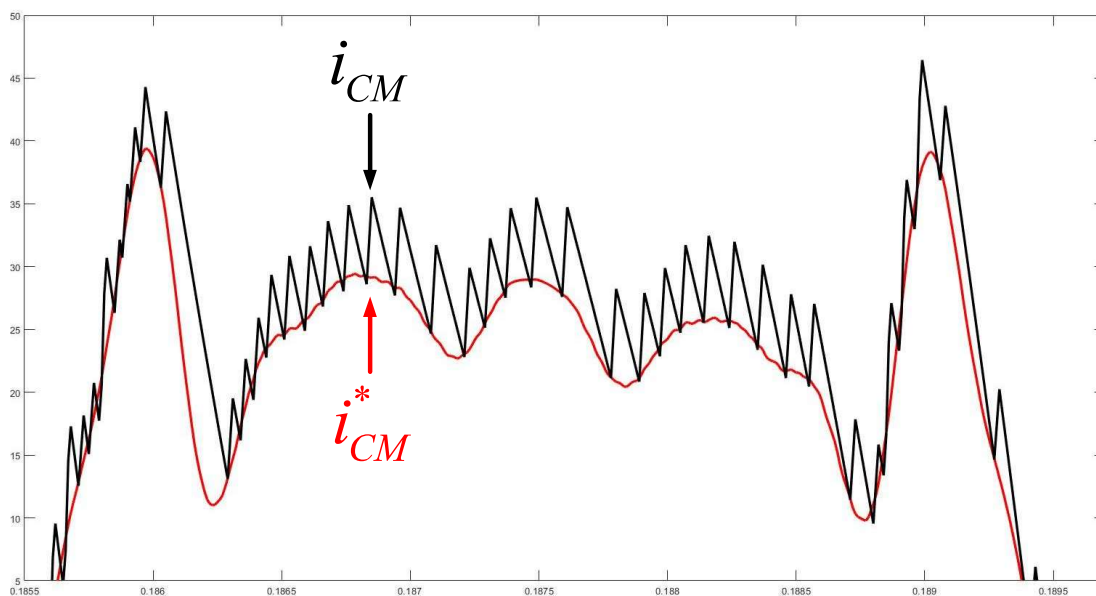
รูปที่ 6.20 บล็อกไดอะแกรมของระบบควบคุมกระแสตรงด้วยตัวควบคุมฟัซซี่ลอจิกกรณีพิจารณาเฉพาะอินพุต error



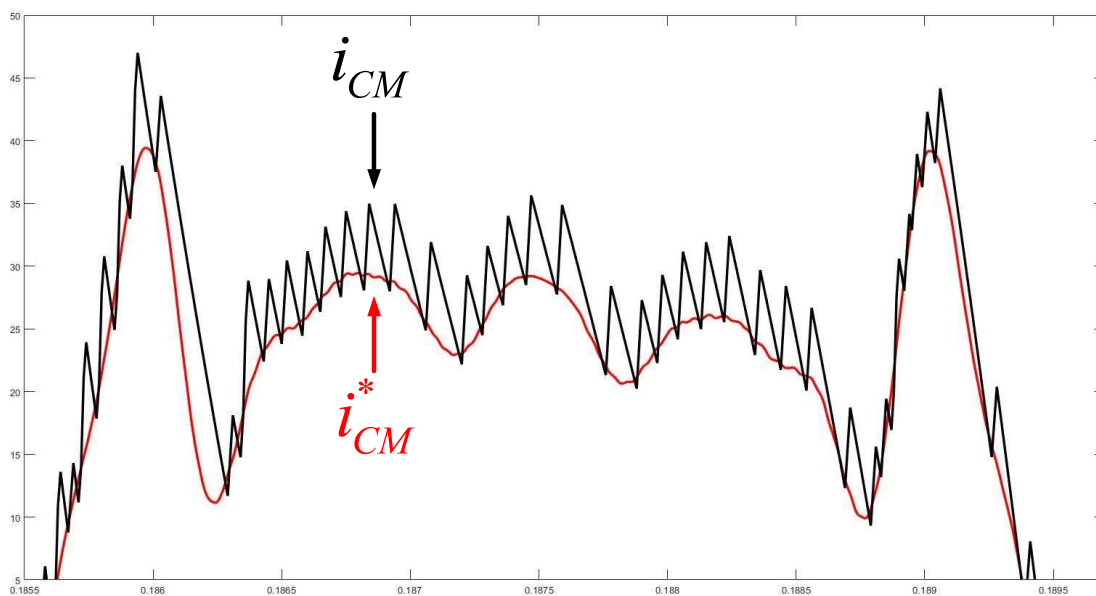
รูปที่ 6.21 บล็อกไดอะแกรมของระบบควบคุมกระแสตรงด้วยตัวควบคุมฟัซซี่ลอจิกกรณีใช้อินพุต error และ error rate



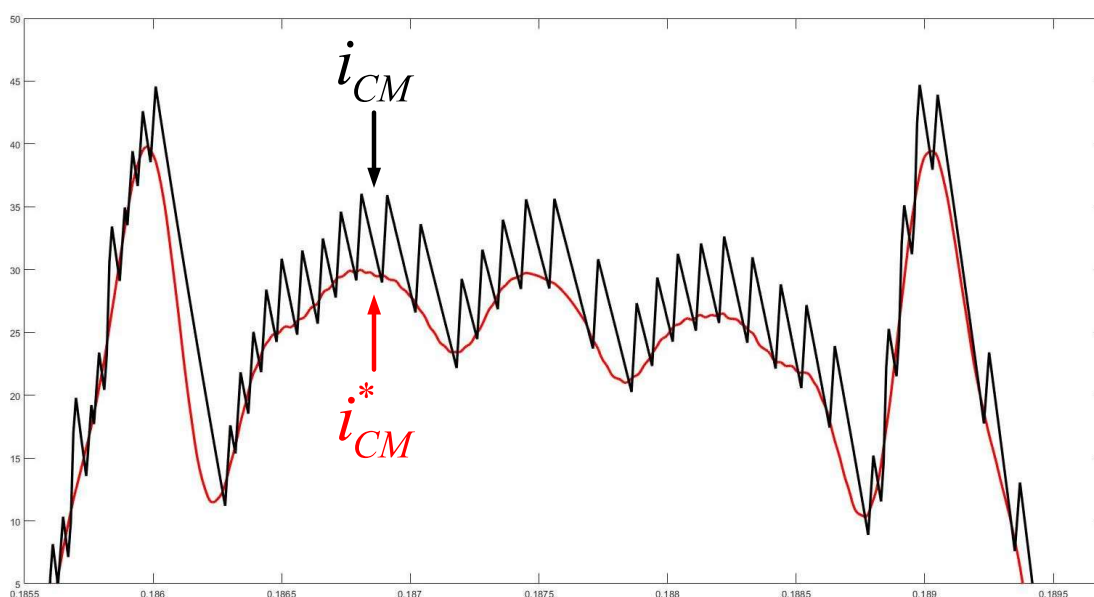
รูปที่ 6.22 บล็อกไดอะแกรมของระบบควบคุมกระแสตรงด้วยตัวควบคุมฟัซซี่ลอจิกกรณีใช้อินพุต error และ sum error



รูปที่ 6.23 ผลการเปรียบเทียบ i_{CM} และ i_{CM}^* กรณีใช้เฉพาะอินพุต error



รูปที่ 6.24 ผลการเปรียบเทียบ i_{CM} และ i_{CM}^* กรณีใช้อินพุต error และ error rate



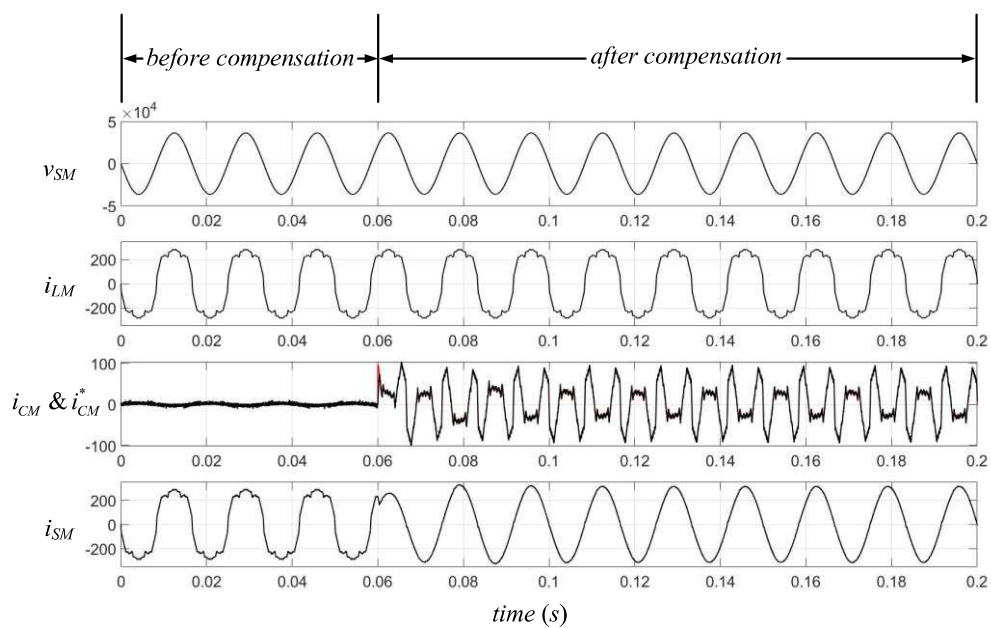
รูปที่ 6.25 ผลการเปรียบเทียบ i_{CM} และ i_{CM}^* กรณีใช้อินพุต error และ sum error

ตารางที่ 6.11 ผลสรุปเปรียบเทียบค่า %THD ของกระแสที่แหล่งจ่ายภายหลังการชดเชยแต่ละกรณี อินพุตของระบบควบคุมกระแสชดเชยด้วยตัวควบคุมพีชชีลอจิก

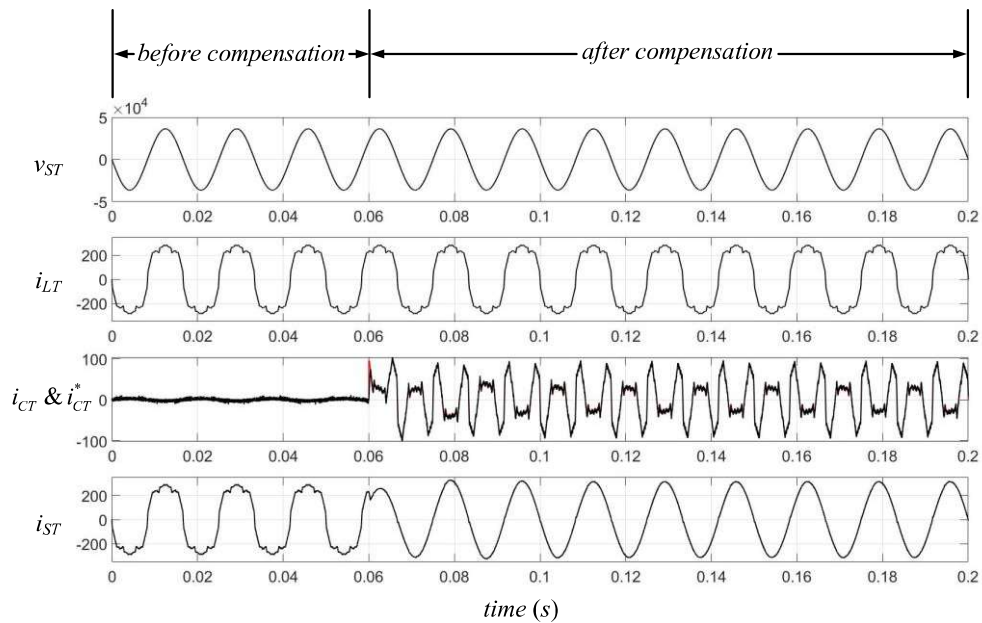
อินพุตของตัวควบคุมพีชชีลอจิก	ค่า %THD ของกระแสที่แหล่งจ่ายภายหลังการชดเชย						
	ระบบไฟฟ้ากำลังสองเฟส			ระบบไฟฟ้ากำลังสามเฟส			
	i_{SM}	i_{ST}	เฉลี่ย	i_{SA}	i_{SB}	i_{SC}	เฉลี่ย
อินพุต error	1.47	1.50	1.49	1.47	1.50	1.49	1.49
อินพุต error และ error rate	1.62	1.53	1.58	1.62	1.55	1.55	1.57
อินพุต error และ sum error	1.39	1.41	1.40	1.39	1.40	1.41	1.40

จากผลการเปรียบเทียบ i_C และ i_C^* ของเฟส M และ T ดังรูปที่ 6.23 ถึง 6.25 พบว่า i_C ของวงจรกรองกำลังแอกทีฟแบบขนานที่ใช้ตัวควบคุมพีชชีลอจิกทั้งกรณีพิจารณาเฉพาะอินพุต error กรณีใช้อินพุต error และ error rate และกรณีใช้อินพุต error และ sum error จะมีลักษณะรูปสัญญาณการติดตาม i_C^* ที่ใกล้เคียงกัน แต่กรณีใช้อินพุต error และ sum error จะมีลักษณะการเกาะตามที่ดีที่สุด นอกจากนี้เมื่อพิจารณาค่า %THD ของกระแสที่แหล่งจ่ายภายหลังการชดเชยจากตารางที่ 6.11 พบว่าค่า %THD เฉลี่ยของกระแสที่แหล่งจ่ายภายหลังการชดเชยทั้งที่ระบบไฟฟ้ากำลังสองเฟสและที่ระบบไฟฟ้ากำลังสามเฟสของทั้ง 3 กรณีอินพุตจะมีค่าใกล้เคียงกัน โดยในกรณีใช้อินพุต error และ sum error จะมีค่าต่ำที่สุดซึ่งมีค่าเท่ากันเท่ากับ 1.40% ดังนั้นงานวิจัยวิทยานิพนธ์

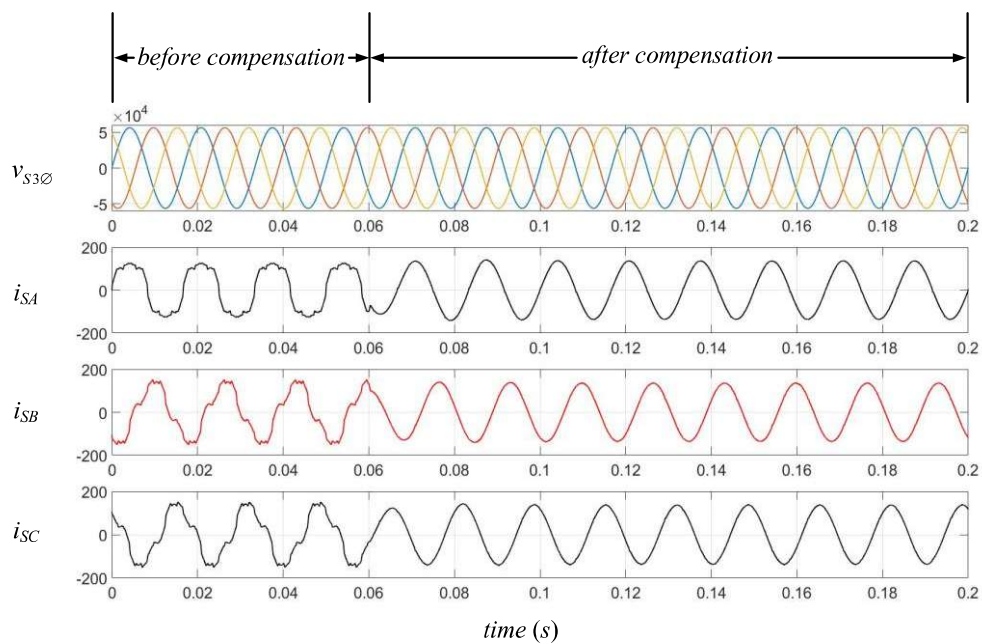
นี้จึงเลือกใช้ตัวควบคุมฟuzzyลอจิกกรณีใช้อินพุต error และ sum error ในการควบคุมกระแสชดเชยของวงจรรอกำลังแอกทีฟแบบขนานในระบบรางไฟฟ้าต่อไป โดยผลการจำลองสถานการณ์การจัดฮาร์โมนิกในระบบรางไฟฟ้ากระแสสลับแบบเฟสรวมที่ใช้ตัวควบคุมฟuzzyลอจิกกรณีใช้อินพุต error และ sum error ที่ระบบไฟฟ้ากำลังสองเฟสของเฟส M และ T และที่ระบบไฟฟ้ากำลังสามเฟส (เฟส A B และ C) สามารถแสดงได้ดังรูปที่ 6.26 ถึง 6.28 ตามลำดับ



รูปที่ 6.26 ผลการจำลองสถานการณ์การจัดฮาร์โมนิกที่ระบบไฟฟ้ากำลังสองเฟสของเฟส M ที่ใช้ตัวควบคุมฟuzzyลอจิกกรณีใช้อินพุต error และ sum error



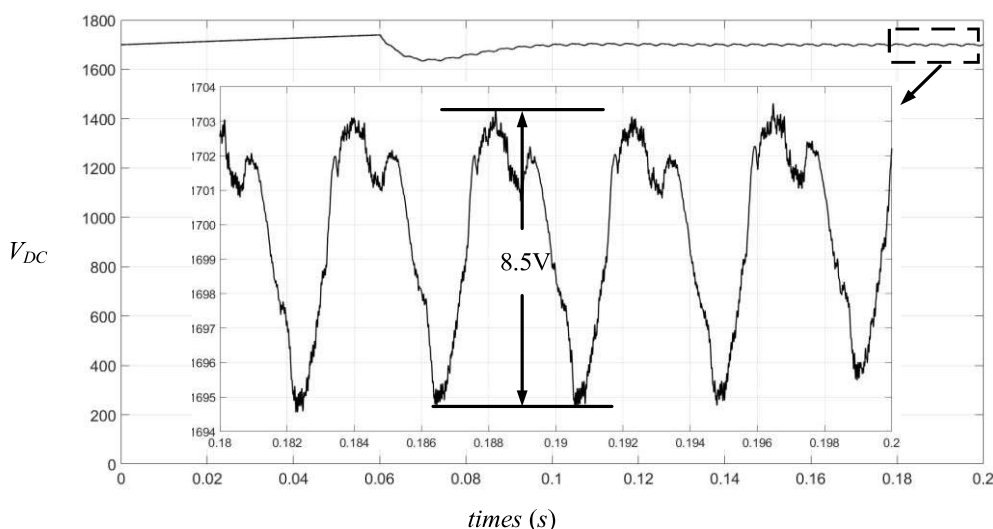
รูปที่ 6.27 ผลการจำลองสถานการณ์การจัดฮาร์โมนิกที่ระบบไฟฟ้ากำลังสองเฟสของเฟส T ที่ใช้ตัวควบคุมฟuzzyลอจิกกรณีใช้อินพุต error และ sum error



รูปที่ 6.28 ผลการจำลองสถานการณ์การจัดฮาร์โมนิกที่ระบบไฟฟ้ากำลังสามเฟสที่ใช้ตัวควบคุมฟuzzyลอจิกกรณีใช้อินพุต error และ sum error

จากผลจำลองสถานการณ์การกำจัดฮาร์มอนิกในระบบรางไฟฟ้าของเฟส M และ T ด้วยตัวควบคุมฟลักซ์ลิจิกกรณีใช้อินพุต error และ sum error ดังรูปที่ 6.26 และ 6.27 พบว่าในช่วงเวลา 0 ถึง 0.06 วินาที หรือช่วงก่อนการชดเชย (before compensation) กระแสที่แหล่งจ่ายทั้งสองเฟส (i_{SM}, i_{ST}) มีลักษณะสัญญาณผิดเพี้ยนไม่เป็นรูปไซน์เหมือนกับกระแสโหลด (i_{LM}, i_{LT}) และวัดค่า %THD ของกระแสที่แหล่งจ่ายดังกล่าวได้เท่ากับ 22.16% เท่ากันทั้งสองเฟส ต่อมาในช่วงเวลาที่ 0.06 วินาทีเป็นต้นไป หรือช่วงภายหลังการชดเชย (after compensation) วงจรกรองกำลังแยกที่ฟแบบขนานร่วมกับตัวควบคุมฟลักซ์ลิจิกจะทำการฉีดกระแสชดเชย (i_C^*) ที่มีลักษณะคล้ายตามกระแสอ้างอิง (i_C^*) ที่ได้จากการคำนวณตรวจจับฮาร์มอนิกด้วยวิธี PQF ส่งผลให้กระแส i_{SM} และ i_{ST} มีลักษณะรูปสัญญาณกลับมาเป็นรูปไซน์มากขึ้น และสามารถวัดค่า %THD ของกระแสที่แหล่งจ่ายภายหลังการชดเชยของเฟส M และ T ได้เท่ากับ 1.39% และ 1.41% ตามลำดับเฟส สำหรับผลจำลองสถานการณ์การกำจัดฮาร์มอนิกในระบบรางไฟฟ้าที่ระบบไฟฟ้ากำลังสามเฟสดังรูปที่ 6.28 พบว่าในช่วงก่อนการชดเชยกระแสที่แหล่งจ่ายของระบบไฟฟ้ากำลังสามเฟส (i_{SA}, i_{SB}, i_{SC}) จะมีลักษณะกระแสที่ผิดเพี้ยนไม่เป็นรูปไซน์เช่นกัน โดยวัดค่า %THD ได้เท่ากับ 22.14 % เท่ากันทุกเฟส ต่อมาในช่วงภายหลังการชดเชยเมื่อมีการกำจัดฮาร์มอนิกที่ระบบไฟฟ้ากำลังสองเฟสส่งผลให้ i_{SA} , i_{SB} และ i_{SC} มีลักษณะรูปสัญญาณกลับมาเป็นไซน์มากขึ้นเช่นกัน โดยวัดค่า %THD ของกระแสที่แหล่งจ่ายภายหลังการชดเชยได้เท่ากับ 1.39% 1.40% และ 1.41% ตามลำดับเฟส

สำหรับผลการจำลองสถานการณ์การควบคุมแรงดันบัสไฟตรง (V_{DC}) สามารถแสดงได้ดังรูปที่ 6.29 จากรูปดังกล่าวพบว่าระบบควบคุมแรงดันบัสไฟตรงด้วยตัวควบคุมพีไอมีประสิทธิภาพในการควบคุมแรงดันบัสไฟตรงที่ดี สามารถคงค่าแรงดันบัสไฟตรงไว้ได้เท่ากับ 1,700 V ตามที่ได้ออกแบบไว้ และมีการกระเพื่อมของแรงดันบัสไฟตรงเท่ากับ 8.5 V โดยค่าการกระเพื่อมของแรงดันดังกล่าวมีค่าไม่เกิน 2% ของค่า V_{DC} ($\Delta V_{DC} = 34$ V) ซึ่งเป็นค่าที่งานวิจัยวิทยานิพนธ์นี้ยอมรับได้



รูปที่ 6.29 ผลการจำลองสถานการณ์การควบคุมแรงดันบัสไฟตรงด้วยตัวควบคุมพีไอกรณีที่ใช้ระบบควบคุมกระแสชดเชยตัวควบคุมพีซีลอจิกกรณีใช้อินพุต error และ sum error

6.10 สรุป

ในบทนี้ได้นำเสนอการออกแบบตัวควบคุมพีซีลอจิกสำหรับใช้ควบคุมกระแสชดเชยของวงจรกรองกำลังแยกที่เฟสแบบขนาน โดยจะนำเสนอการออกแบบในส่วนของการปรับฟังก์ชันสมาชิก จำนวนฟังก์ชันสมาชิก การอนุมานพีซี การออกแบบตัวแปรภาษาและค่าเชิงภาษา การออกแบบกฎพีซี และการออกแบบตำแหน่งฟังก์ชันสมาชิกของตัวควบคุมพีซีลอจิก นอกจากนี้ได้มีการทดสอบเปรียบเทียบสมรรถนะในการควบคุมกระแสชดเชยที่อยู่ในรูปของประสิทธิภาพในการกำจัดฮาร์มอนิกในระบบแรงไฟฟ้าที่พิจารณา โดยแบ่งออกเป็น 3 กรณีตามอินพุตของตัวควบคุมพีซีลอจิก คือ กรณีที่พิจารณาเฉพาะอินพุต error กรณีใช้อินพุต error และ error rate และกรณีใช้อินพุต error และ sum error ผลการจำลองสถานการณ์การกำจัดฮาร์มอนิกพบว่าตัวกรณีที่พิจารณาอินพุต error และ sum error จะให้ผลค่า %THD ของกระแสที่แหล่งจ่ายภายหลังการชดเชยทั้งที่ระบบไฟฟ้ากำลังสองเฟสและที่ระบบไฟฟ้ากำลังสามเฟสที่น้อยที่สุด และยังมีลักษณะรูปสัญญาณของกระแสชดเชยที่มีการติดตามกระแสอ้างอิงที่ดีที่สุด ดังนั้นงานวิจัยวิทยานิพนธ์นี้จึงเลือกใช้ตัวควบคุมพีซีลอจิกกรณีใช้อินพุต error และ sum error ต่อไป อย่างไรก็ตามค่า %THD เฉลี่ยของกระแสที่แหล่งจ่ายภายหลังการชดเชยที่ระบบไฟฟ้ากำลังสองเฟสและที่ระบบไฟฟ้ากำลังสามเฟสของตัวควบคุมพีซีลอจิกทั้ง 3 กรณีอินพุตที่พิจารณายังอยู่ภายใต้กรอบมาตรฐาน IEEE Std. 519-2022